

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93274

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/163 13/38	3 4 0 A	8944-5B 7429-5L	G 0 6 F 15/ 16	3 1 0 V

審査請求 未請求 請求項の数33 O L (全 32 頁)

(21) 出願番号 特願平6-95076
(22) 出願日 平成6年(1994)5月9日
(31) 優先権主張番号 特願平5-185064
(32) 優先日 平5(1993)7月27日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 尾崎 暢
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 岡本 力哉
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 杉山 淳一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 石田 敬 (外3名)

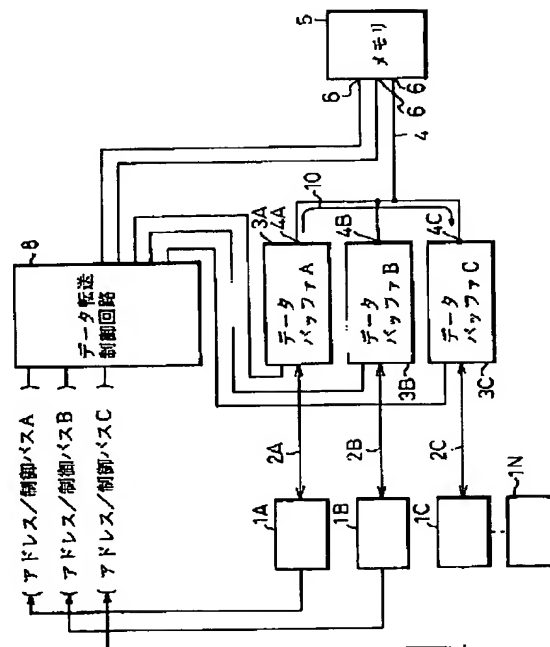
最終頁に続く

(54) 【発明の名称】 データ転送方式及びデータ転送装置

(57) 【要約】

【目的】 複数の装置間で、データを転送するに際し、複雑な回路構成を採用せずに高速に且つ容易にデータ転送が可能となるデータ転送方式及びデータ転送装置を提供する。

【構成】 複数の装置1A、1B、1C、1個の共有メモリ手段5、該複数のマスタ1A、1B、1Cのそれぞれに対応して設けられている複数のデータ保持手段3A、3B、3C、一つのマスタとマスタに対応して設けられている一のデータ保持手段との間に設けられたデータバス2A、2B、2C、各データ保持手段とメモリ手段との間に設けられているメモリデータバス4及びデータ保持手段3A、3B、3Cのそれぞれと接続されていると同時に共有メモリ手段5とも接続されているデータ転送制御手段8とから構成されているデータ転送装置。



1

【特許請求の範囲】

【請求項1】 複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の内の一つの装置のデータが、当該装置に接続されているデータ保持手段から該メモリデータバスを介して、直接他の装置に接続されたデータ保持手段に転送される様に構成されている事を特徴とするデータ転送方式。

【請求項2】 当該一の装置のデータが、該装置と対応するデータ保持手段から、該メモリデータバスを介して直接他のデータ保持手段に転送される間、当該共有メモリ手段は、当該メモリデータバスにアクセスしない様に制御されるものである事を特徴とする請求項1記載のデータ転送方式。

【請求項3】 当該各装置に対応して設けられた複数のデータ保持手段と該共有メモリ手段とは、データ転送制御手段によって、制御されるものである事を特徴とする請求項1又は2記載のデータ転送方式。

【請求項4】 当該データ転送制御手段は、少なくとも、各装置のアドレス情報及び各装置の制御バス情報とによって制御されるものである事を特徴とする請求項3記載のデータ転送方式。

【請求項5】 複数の装置、少なくとも1個の共有メモリ手段、該複数の装置のそれぞれに対応して設けられている複数のデータ保持手段、当該一つの装置と当該装置に対応して設けられている一つの該データ保持手段との間に設けられたデータバス、該各データ保持手段と該共有メモリ手段との間に設けられているメモリデータバス及び当該データ保持手段のそれぞれと接続されていると同時に該共有メモリ手段とも接続されているデータ転送制御手段とから構成されている事を特徴とするデータ転送装置。

【請求項6】 当該各データ保持手段の該メモリデータバスと接続される出力端部が、互いに接続されている事を特徴とする請求項5記載のデータ転送装置。

【請求項7】 該データ転送制御手段は、複数の該装置の内の一つの装置のデータを、他の装置に転送する場合に、当該一つの装置に接続されているデータ保持手段の出力端部を該メモリデータバスの一部を介して、直接他の装置に接続されたデータ保持手段の出力端部とを直接接続させ、データ転送経路を形成させる機能を有している事を特徴とする請求項5又は6記載のデータ転送装置。

【請求項8】 該データ転送制御手段は、当該所定のデータ保持手段の出力端部間にデータ転送経路が形成される場合には、当該共有メモリ手段は、該データ転送経路に関与しない様に、該共有メモリ手段を制御するもので

2

ある事を特徴とする請求項7記載のデータ転送装置。

【請求項9】 当該データ転送制御手段は、少なくとも、各装置のアドレス情報及び各装置の制御バス情報とによって制御されるものである事を特徴とする請求項5記載のデータ転送装置。

【請求項10】 該データ保持手段は、該データバスと接続され出力制御が可能な第1の双方向データバッファ回路、該メモリデータバスに接続され出力制御が可能な第2の双方向データバッファ回路、該第1の双方向データバッファ回路の出力を入力とし、且つ該第2の双方向データバッファ回路に出力する少なくとも1段のライト用レジスタ、及び該第2の双方向データバッファ回路の出力を入力とし、且つ該第1の双方向データバッファ回路に出力する少なくとも1段のリード用レジスタとから構成されている事を特徴とする請求項5乃至9記載のデータ転送装置。

【請求項11】 該データ転送制御手段は、該装置からの情報に応答して、所定のデータの転送経路を決定するスルー転送モードレジスタ、該複数の装置からのアクセス要求信号を入力して、所定の優先順位に従って当該メモリデータバスの使用権を、当該複数の装置の内の一つの装置に於けるアクセス要求信号に与えるアービタ手段、当該スルー転送モードレジスタの出力と該アービタ手段の出力と、該アドレス及び制御信号を入力とし、スルーアクセス時に於いて、ある装置からのライト時のアドレスを格納し、それとリード時のアドレスとが等しいか否かを判定するスルー判定手段と、該スルー判定手段の出力と該装置からの制御信号及び該アービタ手段の出力を入力とし、各データ保持手段に於ける該第1及び第2の双方向データバッファ回路の出力制御信号とライト／リード用レジスタの格納制御信号を出力するデータ保持制御手段とから構成されている事を特徴とする請求項10記載のデータ転送装置。

【請求項12】 該アービタ手段は、更にそれぞれの装置から、他の装置のメモリ領域に対するスルーアクセス要求に対しライトアクセス要求を調停する機能を有している事を特徴とする請求項11記載のデータ転送装置。

【請求項13】 該データ保持制御手段は、ある一つの装置からのスルーアクセス要求におけるライトアクセス要求に対して、当該メモリデータバス使用権が与えられた場合に、他の装置のデータ保持手段に於けるリード用レジスタの格納制御信号をアサートする様に機能するものである事を特徴とする請求項11記載のデータ転送装置。

【請求項14】 該アービタ手段は、更にそれぞれの装置から、他の装置のメモリ領域に対するスルーアクセス要求に対しリードアクセス要求を調停する機能を有している事を特徴とする請求項11記載のデータ転送装置。

【請求項15】 該データ保持制御手段は、ある一つの装置からのスルーアクセス要求におけるリードアクセス

3

要求に対して、当該メモリデータバス使用権が与えられた場合に、他の装置のデータ保持手段に於けるメモリデータバスへの出力制御信号をアサートする様に機能するものである事の特徴とする請求項1記載のデータ転送装置。

【請求項16】 各装置に接続されている該データバスに、所定のデータを格納しうるデータ格納素子手段が設けられており、該装置から出力されるデータが、転送されるべき他の装置に接続されているデータバスに設けられた該データ格納素子手段に対して当該共有メモリ手段を介する事なく直接に転送される様に構成されている事を特徴とする請求項5乃至15の何れかに記載のデータ転送装置。

【請求項17】 該データ格納素子手段は、ファーストインファーストアウト機能を有するレジスタで構成されている事を特徴とする請求項16記載のデータ転送装置。

【請求項18】 複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の少なくとも一つからアクセスして、該共有メモリ手段に所定の情報のライトを行うと共に、該共有メモリ手段から、所定の情報をリードするに際し、或る一つの装置から当該共有メモリ手段に対するライト信号がアクセスされ、当該ライト信号が該データ保持手段に設けられたライト用レジスタ回路にバッファリングされている間に、当該共有メモリ手段に対するリード信号のアクセスがあった場合、該ライト信号アドレスと該リード信号アドレスとが異なる場合には、該データ保持手段に設けられたライト用レジスタ回路にバッファリングされている該ライト信号の該共有メモリ手段に対するアクセスに先立って、該リード信号のアクセスを該共有メモリ手段に対して実行させる事を特徴とするデータ転送方式。

【請求項19】 複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の少なくとも一つからアクセスして、該共有メモリ手段に所定の情報のライトを行うと共に、該共有メモリ手段から、所定の情報をリードするに際し、或る一つの装置から当該共有メモリ手段に対するライト信号がアクセスされ、当該ライト信号が該データ保持手段に設けられたライト用レジスタ回路にバッファリングされている間に、当該共有メモリ手段に対するリード信号のアクセスがあった場合、該ライト信号アドレスと該リード信号アドレスとが同一である場合には、該共有メモ

4

リ手段に対する該リード信号のアクセスを実行せずに、該データ保持手段に設けられたライト用レジスタ回路にバッファリングされている該ライト信号の情報を当該リードデータとして直接当該装置に出力させる事を特徴とするデータ転送方式。

【請求項20】 複数の装置、少なくとも1個の共有メモリ手段、該複数の装置のそれぞれに対応して設けられている複数のデータ保持手段、当該一つの装置と当該装置に対応して設けられている一つの該データ保持手段との間に設けられたデータバス、該各データ保持手段と該共有メモリ手段との間に設けられているメモリデータバス及び当該データ保持手段のそれぞれと接続されていると同時に該共有メモリ手段とも接続されているデータ転送制御手段とから構成されているデータ転送装置で有って、該データ保持手段は、該データバスと接続された第1の双方向データバッファ回路、該メモリデータバスに接続された第2の双方向データバッファ回路、該第1の双方向データバッファ回路の出力を入力とし、且つ該第2の双方向データバッファ回路に出力する少なくとも1段のライト用レジスタ回路、及び該第2の双方向データバッファ回路の出力を入力とし、且つ該第1の双方向データバッファ回路に出力する1段のリード用レジスタ回路と、該少なくとも1段のリード用レジスタと該第1の双方向データバッファ回路との間に、出力が、該第1の双方向データバッファ回路の入力と接続され、且つ入力、該ライト用レジスタ回路及び該リード用レジスタ回路とに接続されているセレクト手段が設けられている事を特徴とするデータ転送装置。

【請求項21】 該データ転送装置は、更に、或る一つの装置から第1の時刻に於いて、当該共有メモリ手段に対するライト信号がアクセスされ、当該ライト信号が該データ保持手段に設けられているライト用レジスタ回路にバッファリングされている間の第2の時刻に於いて、当該共有メモリ手段に対するリード信号のアクセスがあった事を判別するライト／リード判定手段が設けられている事を特徴とする請求項20記載のデータ転送装置。

【請求項22】 該データ転送装置は、更に該ライト／リード判定手段の出力信号に応答し、該第1の時刻に於ける、当該共有メモリ手段にアクセスする該ライト信号のアドレスと、該第2の時刻に於ける、当該共有メモリ手段にアクセスする該リード信号のアドレスとが、一致しているか否かを判断するアドレス一致判定手段が設けられている事を特徴とする請求項21記載のデータ転送装置。

【請求項23】 該データ転送装置に於いて、該セレクト手段は、当該アドレス一致判定手段の出力により制御されるものである事を特徴とする請求項22記載のデータ転送装置。

【請求項24】 該データ転送装置に於ける該セレクト手段は、当該アドレス一致判定手段の出力が、該ライト

5

信号アドレスと該リード信号アドレスとが異なる事を示している場合には、該リード用レジスタにバッファされている信号情報を該第1の双方向データバッファ回路に出力する様に作動するものであり、一方当該アドレス一致判定手段の出力が、該ライト信号アドレスと該リード信号アドレスとが同一である事を示している場合には、該ライト用レジスタ回路にバッファされている該ライト信号情報を該第1の双方向データバッファ回路に出力する様に作動するものである事を特徴とする請求項23記載のデータ転送装置。

【請求項25】 複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の少なくとも一つからアクセスして、該共有メモリ手段に所定の情報のライトを行うと共に、該共有メモリ手段から、所定の情報をリードするに際し、或る一つの装置から当該共有メモリ手段に対する第1と第2の2個のライト信号が連続してアクセスされ、当該ライト信号が該データ保持手段に設けられているライト用レジスタ回路にバッファリングされている間に、当該共有メモリ手段に対する1個のリード信号のアクセスが有った場合、該第2のライト信号アドレスと該リード信号アドレスとが異なる場合には、該データ保持手段に設けられたライト用レジスタ回路にバッファリングされている該第2のライト信号のアクセスに先立って、該リード信号のアクセスを該共有メモリ手段に対して実行させる事を特徴とするデータ転送方式。

【請求項26】 複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の少なくとも一つからアクセスして、該共有メモリ手段に所定の情報のライトを行うと共に、該共有メモリ手段から、所定の情報をリードするに際し、或る一つの装置から当該共有メモリ手段に対する第1と第2の2個のライト信号が連続してアクセスされ、当該ライト信号が該データ保持手段に設けられたライト用レジスタ回路にバッファリングされている間に、当該共有メモリ手段に対する1個のリード信号のアクセスが有った場合、該第2のライト信号アドレスと該リード信号アドレスとが同一の場合には、該共有メモリ手段に対する該リード信号のアクセスを実行せずに、該ライト用レジスタ回路にバッファリングされている該第2のライト信号の情報を直接当該リードデータとして当該装置に出力させる事を特徴とするデータ転送方式。

【請求項27】 複数の装置、少なくとも1個の共有メモリ手段、該複数の装置のそれぞれに対応して設け

6

られている複数のデータ保持手段、当該一つの装置と当該装置に対応して設けられている一つの該データ保持手段との間に設けられたデータバス、該各データ保持手段と該共有メモリ手段との間に設けられているメモリデータバス及び当該データ保持手段のそれぞれと接続されていると同時に該共有メモリ手段とも接続されているデータ転送制御手段とから構成されているデータ転送装置で有って、該データ保持手段は、該データバスと接続された第1の双方向データバッファ回路、該メモリデータバスに接続された第2の双方向データバッファ回路、該第1の双方向データバッファ回路の出力を入力とする第1のライト用レジスタ回路、該第1のライト用レジスタ回路の出力を入力とし該第2の双方向データバッファ回路にその出力が接続されている第2のライト用レジスタ回路、及び該第2の双方向データバッファ回路の出力を入力とし、且つ該第1の双方向データバッファ回路に出力する1段のリード用レジスタ回路と、該1段のリード用レジスタ回路と該第1の双方向データバッファ回路との間に、出力が、該第1の双方向データバッファ回路の入力と接続され、且つ入力、該1段目のライト用レジスタ回路及び該リード用レジスタ回路とに接続されているセレクト手段が設けられている事を特徴とするデータ転送装置。

【請求項28】 該データ転送装置は、更に、或る一つの装置から第1の時刻に於いて、当該共有メモリ手段に対する第1のライト信号がアクセスされると共に、それに続く第2の時刻に於いて、当該共有メモリ手段に対する第2のライト信号がアクセスされ、次いでその後、当該第1及び第2のライト信号が共に該データ保持手段にバッファリングされている間の第3の時刻に於いて、当該共有メモリ手段に対するリード信号のアクセスが有った事を判別するライト／リード判定手段が設けられている事を特徴とする請求項27記載のデータ転送装置。

【請求項29】 該データ転送装置は、更に該ライト／リード判定手段の出力信号に応答し、該第2の時刻に於ける、当該共有メモリ手段にアクセスする該第2のライト信号のアドレスと、該第3の時刻に於ける、当該共有メモリ手段にアクセスする該リード信号のアドレスとが、一致しているか否かを判断するアドレス一致判定手段が設けられている事を特徴とする請求項28記載のデータ転送装置。

【請求項30】 該データ転送装置に於いて、該セレクト手段は、当該アドレス一致判定手段の出力により制御されるものである事を特徴とする請求項29記載のデータ転送装置。

【請求項31】 該データ転送装置に於ける該セレクト手段は、当該アドレス一致判定手段の出力が、該第2のライト信号アドレスと該リード信号アドレスとが異なる事を示している場合には、該リード用レジスタにバッファされているリード信号情報を該第1の双方向データバ

7

ッファ回路に出力する様に作動するものであり、一方当該アドレス一致判定手段の出力が、該第2のライト信号アドレスと該リード信号アドレスとが同一であることを示している場合には、該1段のライト用レジスタ回路にバッファされている第2のライト信号情報を該第1の双方向データバッファ回路に出力する様に作動するものである事を特徴とする請求項30記載のデータ転送装置。

【請求項32】 複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の少なくとも一つからアクセスして、該共有メモリ手段に所定の情報のライトを行うと共に、該共有メモリ手段から、所定の情報をリードするに際し、或る一つの装置から当該共有メモリ手段に対する第1と第2の2個のライト信号が連続してアクセスされ、当該ライト信号が該データ保持手段に於けるライト用レジスタ回路にバッファリングされている間に、当該共有メモリ手段に対する1個のリード信号のアクセスがあった場合、該第2のライト信号アドレスと該リード信号アドレスとが同一の場合には、該共有メモリ手段に対する該第2のライト信号のライト操作に先立って、該リード信号によるリード操作を行って、該共有メモリ手段からの所定の情報を、該データ保持手段に設けられているリード用レジスタ回路にバッファリングさせ、その後、該第2のライト信号の情報を該共有メモリ手段内にライトする事を特徴とするデータ転送方式。

【請求項33】 複数の装置、少なくとも1個の共有メモリ手段、該複数の装置のそれぞれに対応して設けられている複数のデータ保持手段、当該一つの装置と当該装置に対応して設けられている一つの該データ保持手段との間に設けられたデータバス、該各データ保持手段と該共有メモリ手段との間に設けられているメモリデータバス及び当該データ保持手段のそれぞれと接続されていると同時に該共有メモリ手段とも接続されているデータ転送制御手段とから構成されているデータ転送装置で有って、該データ保持手段は、該データバスと接続された第1の双方向データバッファ回路、該メモリデータバスに接続された第2の双方向データバッファ回路、該第1の双方向データバッファ回路の出力を入力とする第1のライト用レジスタ回路、該第1のライト用レジスタ回路の出力を入力とし該第2の双方向データバッファ回路にその出力が接続されている第2のライト用レジスタ回路、及び該第2の双方向データバッファ回路の出力を入力とし、且つ該第1の双方向データバッファ回路に出力するリード用レジスタ回路と、或る一つの装置から第1の時刻に於いて、当該共有メモリ手段に対する第1のライト信号がアクセスされると共に、それに続く第2の時刻に於いて、当該共有メモリ手段に対する第2のライ

8

ト信号がアクセスされ、次いでその後、当該第1及び第2のライト信号が共に該データ保持手段に設けられた該第1及び第2のライト用レジスタ回路にバッファリングされている間の第3の時刻に於いて、当該共有メモリ手段に対するリード信号のアクセスがあった事を判別するライト／リード判定手段と、該ライト／リード判定手段の出力信号にตอบสนองし、該第2の時刻に於ける、当該共有メモリ手段にアクセスする該第2のライト信号のアドレスと、該第3の時刻に於ける、当該共有メモリ手段にアクセスする該リード信号のアドレスとが、一致しているか否かを判断するアドレス一致判定手段と、該アドレス一致判定手段の出力にตอบสนองして該データ保持手段にリードモディファイドライト操作を実行させるリードモディファイドライト手段とが設けられている事を特徴とするデータ転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ転送方式及びデータ転送装置に関するものであり、更に詳しくは、コンピュータ特に並列計算機、コンピュータグラフィック（CG）アクセラレータ、画像処理アクセラレータ等に於けるデータ転送方式及びそれに使用されるデータ転送装置に関するものである。

【0002】

【従来の技術】 従来から、コンピュータ等に於いて多量のデータを高速度で演算処理する為に、多くの演算方法が開発され、実行されてきている。中でも、コンピュータグラフィック、画像処理等に於いては、並列式の演算処理方式を用いて、複数の装置（マスタ）間で、所定の量のデータを高速に転送させる必要があり、その為の演算処理回路の開発が重要である。

【0003】 此で、図20は、係る、高速演算処理に於けるデータの転送を高速に実行する為に、従来から用いられているデータ転送装置に於ける構成の一例を示すブロックダイアグラムである。つまり、図20に示されている従来のデータ転送装置の例に於いては、例えば複数のマスタ1A、1B、1Cのそれぞれは、データバス2A、2B、2Cをそれぞれ介して、対応するデータ保持手段（データバッファ手段）3A、3B、3Cとそれぞれ接続されており、更に該データバッファ手段3A、3B、3Cのそれぞれの出力4A、4B、4Cは、メモリデータバス4を介して共有メモリ5の共通I/O端子6と接続されているものである。

【0004】 此で、マスタとは、少なくともホストコンピュータを含む、データの演算処理機能を有し、且つデータの入力機能と当該演算機能により演算処理した結果を記憶し、又出力する機能を有する演算処理構成体一般を指すものである。（以下同様の対象物を指すものとして使用する。）係る従来のデータ転送装置に於いては、複数の（n個）の前記マスタと1個のメモリ（共有

9

メモリ)との間で所定のデータの転送が行われるもので有って、係る方式に於いては、あるマスタ1Nと該共通メモリ5との間のデータ転送のみならず、当該複数のマスタ1Aから1Nの内の一つのマスタと他のマスタとの間に於いても、所定のデータの転送が行われる様に構成されている。

【0005】係る従来のデータ転送装置に於いては、或るマスタ1Aから、所定のデータを他のマスタ例えば1Bに転送しようとする場合には、一端当該マスタ1Aから出力される所定のデータを一旦データバッファ手段3Aを介してメモリデータバス4と接続されている共通メモリ5の所定のアドレスにライトして格納しておき、次いで当該データを転送させたい他のマスタ1Bが、当該共通メモリ5にアクセスして、当該アドレスを該マスタ1Bがリードする様に構成されている。

【0006】係る構成に於いては、当該マスタ1Aが、当該転送用のデータを該共通メモリ5にライトした後、他のマスタ1Bが、当該転送データを該共通メモリからリードする迄の間に他のマスタのアクセス要求がない場合には、データの転送は最も早く実行されるが、所定のサイクル周期1が必要となっている。然しながら、上記に於いて、他のマスタからのアクセス要求が割り込まれた場合には、当該メモリデータバスに於いてデータの競合が発生し、従って、所定のデータを転送する迄にかなりのサイクルを必要とする事から、当該データの演算処理は、その分だけデータの転送速度が遅くなるという問題が有った。

【0007】図21は、図20に示される従来のデータ転送装置に於けるデータの転送処理のタイミングチャートであり、図21(A)は、或るマスタ1Aから他のマスタ1Bにデータを転送する場合の例を示したもので有る。つまり、図21(A)は、或るマスタ1Aから、他のマスタ1Bに所定のデータの転送を行う場合に、前記マスタ1Aが、当該共通メモリ5に対してデータを書き込む為、アクセスした場合に、マスタ1Bからのリード要求アクセス信号が出力される以前に、該マスタ1B以外の他のマスタ1Nから、当該共通メモリに対して、何らかのアクセスの要求が無い場合の例を示すものであり、又図21(B)は、或るマスタ1Aから、他のマスタ1Bに所定のデータの転送を行う場合に、前記マスタ1Aが、当該共通メモリ5に対してデータを書き込む為、アクセスした場合に、マスタ1Bからのリード要求アクセス信号が出力される以前に、該マスタ1B以外の他のマスタ1Nから、当該共通メモリに対して、何らかのアクセスの要求が発生した場合のタイミングチャートの例をそれぞれ示すものである。

【0008】即ち、図21(A)に於いては、マスタ1Aからデータをマスタ1Bに転送する場合のタイミングチャートの例を示すものであって、先ずクロック信号t2でマスタ1Aのアドレスデータストローブ信号A

10

-ADSが出力され、マスタAのデータを、共通メモリ5の所定の位置に書き込む為のアドレス情報が出力され、クロック信号t3に於いて、当該データが、共通メモリ5に書き込まれる状態となった事を示すA-DTACK信号がONとなり、以後マスタAは、別の演算処理を実行する事が可能となる。

【0009】クロック信号t4に於いて、共通メモリ5に於けるメモリへのライトイネーブル信号(DRAM-WE)が、ONとなり、その結果該共通メモリ5のDRAM部分のアドレスDRAM-RASがONとなり、マスタAからのデータを当該メモリ内にライトする。一方、マスタ1Aから所定のデータの転送を受ける他のマスタ1Bは、クロック信号t3に於いて、マスタ1Bのアドレスデータストローブ信号B-ADSが出力され、マスタBのデータを、共通メモリ5の所定の位置に書き込む為のアドレス情報が出力され、クロック信号t9に於いて、当該データが、共通メモリ5に書き込まれる状態となった事を示すB-DTACK信号がONとなり、以後マスタBは、別の演算処理を実行する事が可能となる。

【0010】そこで、適宜のライトイネーブル信号を適宜のタイミングで、本例では、クロック信号t8近辺で出力させ、当該データを読出しする様になっている。又、図21(B)に於いては、前記した具体例において、マスタ1Aからの転送データを共通メモリ5に対して出力させる時点と、マスタ1Bが、当該共通メモリ5内に格納されている、転送データをリードする為の、共通メモリ5のアドレスを指定するアドレス信号B-ADSが出力される前に、例えば他のマスタ1C及びマスタDから、他のデータに関するアドレス信号C-ADS若しくは、D-ADSが出力された例を示すものであって、クロック信号t5に於いて、該マスタ1Cから、他のデータに関するアドレス信号C-ADSが出力された為、当該共通メモリ5に於いては、前記したマスタ1Cのデータが当該DRAM部分のアドレスDRAM-RASに書き込まれる。

【0011】又、マスタ1DからのD-ADSに対応したデータも同様にして該共通メモリのDRAM部分に書き込まれる事になる。そして、かかる割り込み処理が完了したクロック信号t18に於いて、ようやくB-DTACK信号が出力される事になる。つまり、この例では、他のマスタの割り込みによって、マスタ1Aからのデータをマスタ1Bがリードして転送を完成させる迄に大幅な遅延時間を要する事になる。

【0012】

【発明が解決しようとする課題】つまり、従来のデータ転送装置においては、複数のマスタを一個の共通メモリを用い、且つ各複数のそれぞれのマスタが、該一個の共通メモリへ個別にアクセスする必要があったが、上記の様なメモリデータバス内に於けるデータの競合が発

生すると、転送終了迄にかなりの時間が係る事になり、新しいデータ転送装置の開発が要望されていた。

【0013】係る問題点を解決する一つの方法として、図20の点線で示されている通り、該共通メモリ5を介さずに、直接2つのマスタ間でデータの転送を実現する為に、2つの異なるマスタのデータバス同士を直接接続する別のデータバッファ手段7-1及び7-2等を設けたものである。かかる構成に於いては、前記した従来例と異なり、データの転送に際して共通メモリ5を介さないの、データ伝送速度は、かなり早くなるが、各マスタとメモリとの間のデータバッファ手段の他に別にマスタ間のデータ転送のために更にデータバッファ手段が必要となるので、回路構成が複雑となり又配線長も長くなるので、小型化する事が不可能であり、従って、コストが増加すると言う問題も有った。

【0014】本発明の目的は、上記した従来技術の欠点を改良し、複数のマスタ間で、データを転送するに際し、複雑な回路構成を採用せずに高速に且つ容易にデータ転送が可能となるデータ転送方式及びデータ転送装置を提供するものである。

【0015】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、複数の装置と少なくとも1個の共有メモリ手段との間に該装置と対応してデータ保持手段が設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段と該共有メモリ手段とがメモリデータバスに接続されているデータ転送装置に於いて、該複数の装置の内の一つの装置のデータが、当該装置に接続されているデータ保持手段から該メモリデータバスを介して、直接他の装置に接続されたデータ保持手段に転送される様に構成されているデータ転送方式であり、更には、複数の装置、少なくとも1個の共有メモリ手段、該複数の装置のそれぞれに対応して設けられている複数のデータ保持手段、当該一つの装置と当該装置に対応して設けられている一つの該データ保持手段との間に設けられたデータバス、該各データ保持手段と該共有メモリ手段との間に設けられているメモリデータバス及び当該データ保持手段のそれぞれと接続されていると同時に該共有メモリ手段とも接続されているデータ転送制御手段とから構成されているデータ転送装置である。

【0016】

【作用】本発明に係るデータ転送方式及びデータ転送装置は、基本的には複数の(n)のマスタと称される装置と1個のメモリつまり、共有メモリ間及び複数の装置(マスタ)間のデータ転送を共有のメモリ手段を介さずに実行する様に構成したものであり、各装置(マスタ)からのデータおよびメモリデータバスからのデータをバッファリングするn個のデータバッファ手段から構成さ

れるデータ保持手段とn個の装置(マスタ)からのアドレス及び制御信号を入力として、各データバッファ手段であるデータ保持手段を制御する信号及び共有メモリに対するアドレスと制御信号を出力するコントローラを有するものであって、具体的には、データを互いに転送したい各装置間に於いて、各装置に接続されるデータ保持手段の一つであるデータバッファ手段に於けるメモリデータバス側に出力端子を互いに直接的に接続させて、該共有メモリ手段を介さずに、一方のデータ保持手段から他方のデータ保持手段に直接所定のデータをスルーさせる様にするものである。

【0017】かかる構成を採用する事によって、ある装置(マスタ)から他の装置(マスタ)に所定のデータの転送を行うに際して、他の装置(マスタ)からのアクセス要求によって、当該装置間のデータの転送処理が遅延されると言う問題を完全に解消することが出来る。

【0018】

【実施例】以下に、本発明に係るデータ転送方式及びデータ転送装置の具体例を図面を参照しながら詳細に説明する。図1は、本発明に係るデータ転送方式を実行するに適したデータ転送装置の一具体例の構成を示すブロックダイアグラムであり、図中、複数のマスタ1A、1B、1C、少なくとも1個のメモリ手段5、該複数のマスタ1A、1B、1C、のそれぞれに対応して設けられている複数のデータバッファ手段3A、3B、3C、当該一つのマスタと当該マスタに対応して設けられている一つの該データバッファ手段との間に設けられたデータバス2A、2B、2C、該各データバッファ手段と該メモリ手段との間に設けられているメモリデータバス4及び当該データバッファ手段3A、3B、3C、のそれぞれと接続されていると同時に該メモリ手段5とも接続されているデータ転送制御手段8とから構成されているデータ転送装置が示されている。

【0019】データ転送装置に於いて、該複数のマスタの内の一つのマスタのデータが、当該マスタに接続されているデータバッファ手段から該メモリデータバスを介して、直接転送される必要性のある、他のマスタに接続されたデータバッファ手段に転送される様に構成されている。つまり、本発明に係るデータ転送方式に於いては、上記した様に、当該一のマスタ例えば1Aのデータが、該マスタと対応するデータバッファ手段3Aから、該メモリデータバス4を介して直接他のマスタ例えば1Bに対応するデータバッファ手段3Bに転送される間、当該メモリ手段5は、当該メモリデータバス4にアクセスしない様に制御される様にしたものであり、その為に当該各マスタに対応して設けられた複数のデータバッファ手段3と該メモリ手段5とは、前記したデータ転送制御手段8によって、制御されるものである。

【0020】更に、本発明に於いては、当該データ転送制御手段8は、少なくとも、各マスタ1A、1B、1

C、のアドレス情報及び各マスタの制御バス情報とによって制御されるものである。データ転送手段8は通常のメモリアクセスのときにも作動する。また、メモリを使用しない転送の場合も4A、4B、4Cとメモリ手段5とは電氣的に接続されている。このときは、メモリのデータ出力は“L”レベルとなっておりメモリに対する制御信号は動かないだけである。

【0021】係るデータ転送方式を実現させるデータ転送装置に付いて具体的にその回路構成、機能等について以下に説明する。図1に示す様に、複数のマスタ1に接続した各データバス2に対応してデータバッファ3 (A、B、C)があり、それらのデータ線4A~4Cはメモリ5のデータ入出力6に接続されている。データバス2およびメモリバス4は規模を大きくしないために通常双方向である。そのために各データバッファ3はデータバス2側およびメモリデータバス4側ともに双方向制御が可能にする必要がある。また、メモリ5に対応するホスト1が複数になると、あるホストがメモリを専有できないので、システム高速化のためにクロック同期でバッファリングできるレジスタを双方向(ライト/リード)で持つ必要がある。また、データ転送制御回路8は、マスタ1A、1B、1Cのアドレスおよび制御信号を入力し、各マスタ1とメモリ5間のデータ転送が各ホスト間のデータ転送かを判別するとともに各マスタから要求を調停(アービトレーション)し、優先度の高いアクセスからメモリデータバス4を使用しアクセスを行うようにすることが好ましい。そのとき後述するように各データバッファ3の双方向制御およびレジスタに対する格納イネーブルなどの信号を発生する。

【0022】本発明に於けるデータバッファ手段3としては、特にその構成は特定されるものではなく、公知のデータバッファ手段を使用する事が可能であるが、好ましくは、図2のブロックダイアグラムに示す様な回路構成を有するデータバッファ手段を使用するものである。図2はデータバッファ手段3の例であり、例えば、データバス2と接続され出力制御が可能な第1の双方向データバッファ回路31、該メモリデータバス4に接続され出力制御が可能な第2の双方向データバッファ回路32、該第1の双方向データバッファ回路31の出力を入力とし、且つ該第2の双方向データバッファ回路32に出力する少なくとも1段のライト用レジスタ33、及び該第2の双方向データバッファ回路32の出力を入力とし、且つ該第1の双方向データバッファ回路31に出力する少なくとも1段のリード用レジスタ34とから構成されているものである。

【0023】一方、本発明に於いて使用される該データ転送制御手段8は、例えば、複数の該マスタ1の内の一つのマスタ1Aのデータを、他のマスタ1Cに転送する場合に、当該一つのマスタ1Aに接続されているデータバッファ手段3Aの出力端部4Aを該メモリデータバ

スの一部を介して、直接転送される必要性のある、他のマスタ1Cに接続されたデータバッファ手段3Cの出力端部4Cとを直接接続させるデータ転送経路10を形成させる機能を有するものであれば、如何なる構成のデータ転送制御手段でも使用する事が可能である。

【0024】図3は、本発明に於いて使用されるデータ転送制御手段8の一具体例の構成を示すブロックダイアグラムであり、その基本的な構成は、例えば、上記した様に、当該所定のデータバッファ手段3の出力端部間4Aから4Cにデータ転送経路10が形成される場合には、当該メモリ手段5は、該データ転送経路10に関与しない様に、該メモリ手段5を制御する機能を有するものであり、具体的には、当該データ転送制御手段8は、少なくとも、各マスタ1のアドレス情報及び各マスタの制御バス情報とによって制御されるものであって、更に該データ転送制御手段8は、該マスタ1からの情報にตอบสนองして、所定のデータの転送経路10を決定するスルー転送モードレジスタ81、該複数のマスタ1からのアクセス要求信号を入力して、所定の優先順位に従って当該メモリデータバス4の使用権を、当該複数のマスタ1の内の一つのマスタに於けるアクセス要求信号に与えるアービタ手段82、当該スルー転送モードレジスタ81の出力と該アービタ手段82の出力と、該アドレス及び制御信号を入力とし、スルーアクセス時に於いて、あるマスタからのライト時のアドレスを格納し、それとリード時のアドレスとが等しいか否かを判定するスルー判定手段83と、該スルー判定手段83の出力と該マスタからの制御信号及び該アービタ手段82の出力を入力とし、各データバッファ手段3に於ける該第1及び第2の双方向データバッファ回路31、32の出力制御信号とライト/リード用レジスタの格納制御信号を出力するデータバッファコントローラ84A~84Cとから構成されているものである。

【0025】本発明に係る上記データバッファ手段3の作動に付いて説明するが、以下の説明全体を通じて、アドレスデータストローブ信号(ADS)がアサートされた時にはアドレス及びデータが有効となるものと設定して説明する。データバッファ3は、データバス側の第1の双方向バッファ31とメモリバス側の第2の双方向バッファ32、ライト用レジスタ33(RgI)とリード用レジスタ34(RgII)からなる。第1の双方向バッファ31はBUSOEがアサートされたときにBus dataに対する出力がオンになりレジスタ34(RgII)の値を出力し、それ以外はBus dataのデータを入力する。同様に第2の双方向バッファ32はMEMOEがアサートされたときにメモリデータ5に対する出力がオンになりレジスタ33(RgI)の値を出力し、それ以外はメモリデータ5のデータを入力する。そして、レジスタ33(RgI)はWTSETがアサートされたときに第1の双方向バッファ31の出力を格納

15

する。同様にレジスタ34 (Rgl1) はRD-SETがアサートされたときに第2の双方向バッファ32の出力を格納する。本発明においてはライト用レジスタおよびリード用レジスタは1段であるが複数段用意してシステムのスループットを向上させても良い。

【0026】更に、本発明に於ける該データ転送制御手段8に於いて使用されるアービタ手段82の具体例としては、図4Aに示される様な回路構成を有するものが採用されるものである。該アービタ手段82は、それぞれのマスタから、他のマスタのメモリ領域に対するスループットアクセス要求に対しリードアクセス要求を調停する機能を有しているものである。

【0027】即ち、該アービタ手段82は、更にそれぞれのマスタから、他のマスタのメモリ領域に対するスループットアクセス要求に対しライトアクセス要求を調停する機能を有しているものであって、該スループット転送モードレジスタ81から出力されるスループット信号、つまり、マスタ1Aのデータをどのマスタにメモリを介さずにスループット転送させるかを指示する信号であって、図中マスタ1Aからマスタ1Bにスループットさせる場合には、スループットA to Bと、又マスタ1Aからマスタ1Cにスループットさせる場合には、スループットA to Cの様に表示されている。

【0028】つまり、本発明に於ける該アービタ手段82に於いては、係るスループット信号を入力するORゲート回路41、該ORゲート回路41の出力と各マスタから出力される書き込み信号 (A-WRITE, B-WRITE, C-WRITE) を入力とするANDゲート42、該ANDゲート42の出力を入力とするインバータ43の出力と各マスタから出力されるアクセス要求信号 (A-REQ, B-REQ, C-REQ) を入力とするANDゲート回路44、各ANDゲート回路44の出力から優先順位を決定してメモリデータバス使用権 (A-GRT, B-GRT, C-GRT) を出力する為、インバータ45とANDゲート回路46で構成された優先順位決定回路47とで構成されているものである。

【0029】つまり、図4Aのアービタ手段に於いては、スループットアクセスモードリード時 (Aの場合 *A-WRITE=HIGHとなる、ライト時はA-WRITE=HIGHとなる) にはメモリデータバスを専有する必要がないのでGRTをアサートしない。又複数のREQがアサートされ競合が起きた場合 A-REQ > B-REQ > C-REQ の優先順位でA-GRT, B-GRT, C-GRT のどれか1つをアサートする。ただし、スループットアクセスモード時のリードはメモリデータバスを使用しないのでGRTをアサートしない。

【0030】一方、上記したスループット転送モードレジスタ81と該アービタ手段82とは、デコーダリクエスト80により制御される様になっており、該デコーダリクエスト80は各マスタからのアドレス信号、例えばADSと各マスタの制御信号が入力され、転送モードの決定とメモリデータバスの使用権 (A-GRT, B-GRT, C-GRT) をどのマスタ間に与えるかを決定するものである。

16

【0031】当該デコーダリクエスト80の回路構成の一例を図6に示す。つまり、デコーダリクエスト80は、デコーダによりスループット転送モードレジスタ81をセット/リセットするアドレスでADSがアサートされている時、及び書き込み信号WRITE がアサートされている時にスループット転送モードのセット/リセットを行うものであり、又それ以外のアドレスでADSがアサートされている時1、メモリ領域へのアクセス要求となるが、ステータスレジスタが空き状態の時のみ最初の1サイクル時にリクエスト信号 (REQ-1P) がアサートされる。

【0032】図6に示す様に、当該デコーダリクエスト80には、各マスタ毎にアドレスデータバス信号、アドレスデータストロブ信号ADS、書き込み信号WRITE、アクセスすべき信号の全てが終了した事を示す終了信号 (MEM-BUS-END がアサートされる) がそれぞれ入力される様に構成されており、デコーダ61、ステータスレジスタ62、ANDゲート回路63~67及びリクエストレジスタ68とから構成されている。

【0033】例えば、マスタ1Aに対しては、デコーダ61Aは、A-アドレス信号とA-ADS信号を入力としてその出力は上記各ANDゲート回路63~67の一方の入力端に入力されている。一方、書き込み信号A-WRITE は、上記各ANDゲート回路63~67の他方の入力端に入力されている。

【0034】更に、メモリデータバス終了信号 (A-MEM-BUS-END) は、前記したANDゲート回路67の出力と共にステータスレジスタ62Aに入力され、その出力がANDゲート回路67の入力端に入力される。その結果、図6に示す様に、ANDゲート回路63の出力からスループット転送モードリセット信号A to Bが出力されると共に、ANDゲート回路64の出力からスループット転送モードセット信号A to Bが出力される。

【0035】又、ANDゲート回路65の出力からスループット転送モードリセット信号A to Cが出力されると共に、ANDゲート回路66の出力からスループット転送モードセット信号A to Cが出力される。更に、ANDゲート回路67の出力は、前記したアービタ手段82からの使用権信号A-GRT の1サイクル信号と共にリクエストレジスタ68に入力され、該リクエストレジスタ68からアクセス要求信号A-REQ が出力される。

【0036】尚、本具体例に於いては、該リクエストレジスタ68は、マスタ1Aのアクセス要求信号A-REQ が1サイクル (1P) 間アサートされると該アクセス要求信号リクエスト (REQ) をアサートし、その後そのリクエストが受理されると (つまりA-GRT-1Pがアサートされる) とそのリクエストがネゲートされる様になっている。

【0037】更に、上記した本発明で使用される該スループット転送モードレジスタ81の作動例の概略を図7に示す。つまり、本発明に係るスループット転送モードレジスタ8

1 は、例えば前記したデコーダリクエスタ 80 の出力の内スルー転送モードセットノリセット信号が入力され、当該入力信号にตอบสนองして、スルー転送を行わせるマスタ間のデータ転送経路を指定する事になる。

【0038】即ち、該スルー転送モードレジスタ 81 は、前記した様に、スルー転送モードセット信号がアサートされるとスルー信号がアサートされスルー転送モードリセット信号がアサートされるとスルー信号がネガートされるものある。そして本具体例に於けるスルー転送モードレジスタ 81 として、A to B, B to C, C to A, B to A, B to C, A to C の 6 種類が設けられているものである。

【0039】次に、本発明に於ける該データ転送制御手段 8 に於いて使用されているスルー判定手段 83 の構成及びその機能に付いて図 8 を参照しながら説明する。図 8 のブロックダイアグラムから判る様に、本発明に於ける該スルー判定手段 83 は、複数個のマスタ 1 A、1 B、1 C のそれぞれに対応した制御回路を構成しており、例えばマスタ 1 A に対応した内部回路構成は、スルー信号 A to B、及び A to C が入力される OR ゲート回路 51、該 OR ゲート回路 51 の出力とマスタ 1 A の書き込み信号 (A-WRITE) が入力され、かつスルーによりマスタ 1 A のデータを書き込ませる A-スルー-WT 信号が出力される AND ゲート回路 53、スルー信号 B to A とマスタ 1 B の書き込みセット信号 (B-WT-SET) が同時に入力される AND ゲート回路 52、該 AND ゲート回路 52 の出力とマスタ 1 B のアドレス信号 (B-ADD) とが入力されるレジスタ手段 54、当該レジスタ手段 54 の出力とマスタ 1 A のアドレス信号 (A-ADD) とが入力されるコンパレータ 55、当該コンパレータ 55 からの出力と前記したマスタ 1 A の書き込み信号 (A-WRITE) とアドレスデータストロブ信号 (A-ADS) とが入力される AND ゲート回路 56、当該 AND ゲート回路 56 の一方の出力は、OR ゲート回路 65 に入力されると同時に、他方の出力は、インバータ 57 の入力に接続されると共に、当該インバータ 57 の出力がフリップフロップ 58 を介して前記したレジスタ手段 54 の入力部にフィードバックしている。

【0040】一方、スルー信号 C to A とマスタ 1 C の書き込みセット信号 (C-WT-SET) が同時に入力される AND ゲート回路 59、該 AND ゲート回路 59 の出力とマスタ 1 C のアドレス信号 (C-ADD) とが入力されるレジスタ手段 60、当該レジスタ手段 60 の出力とマスタ 1 A のアドレス信号 (A-ADD) とが入力されるコンパレータ 61、当該コンパレータ 61 からの出力と前記したマスタ 1 A の書き込み信号 (A-WRITE) とアドレスデータストロブ信号 (A-ADS) とが入力される AND ゲート回路 62、当該 AND ゲート回路 62 の一方の出力は、OR ゲート回路 65 に入力されると同時に、他方の出力は、インバータ 63 の入力に接続されると共に、当該インバー

タ 63 の出力がフリップフロップ 64 を介して前記したレジスタ手段 60 の入力部にフィードバックしている。

【0041】そして、前記した AND ゲート回路 56 と 62 の出力が入力される OR ゲート回路 65 からは、マスタ 1 A のデータを読み出す為の A-スルー-RD 信号が出力される事になる。尚、マスタ 1 B 及びマスタ 1 C に対応する当該スルー判定手段内の回路構成は、上記したものと同様であるので、説明は省略する。

【0042】係る本発明に於けるスルー判定手段 83 の作動に付いて、マスタ 1 A について例示的に説明すると、スルー A to B または A to C がアサートされていて A-WRITE がアサートされるときに A-スルー-WT がアサートされる。また、スルー B to A がアサートされているときに、B-WT-SET がアサートされたタイミングで B-ADD を Rg にラッチしその値とリード時の A-ADD が等しいとき、または、C-WT-SET がアサートされたタイミングで C-ADD を Rg にラッチしその値とリード時の A-ADD が等しいときに A-スルー-RD がアサートされる。

【0043】次に、本発明の於ける当該スルー転送モードレジスタ 8 に於いて使用されているデータバッファコントローラ 84 の構成及びその作動に付いて図 5 を参照しながら説明する。図 5 は、本発明に於いて使用されるデータバッファコントローラ 84 の構成の概略を説明するブロックダイアグラムであり、本発明に於けるデータ転送制御手段 8 に於いて使用される該データバッファコントローラ 84 A、84 B、84 C は、ある一つのマスタからのスルーアクセス要求におけるライトアクセス要求に対して、当該メモリデータバス使用権が与えられた場合に、他のマスタのデータバッファ手段に於けるリード用レジスタの格納制御信号をアサートする様に機能するものである。

【0044】又、該データバッファコントローラは、別の機能として、ある一つのマスタからのスルーアクセス要求におけるリードアクセス要求に対して、当該メモリデータバス使用権が与えられた場合に、他のマスタのデータバッファ手段に於けるメモリデータバスへの出力制御信号をアサートする様に機能する事も可能である。つまり、本発明に係る該データバッファコントローラは、マスタ 1 A、1 B、1 C のそれぞれに対応して、データバッファ A コントローラ 84 A、データバッファ B コントローラ 84 B、データバッファ C コントローラ 84 C、が設けられており、それぞれの内部構成、作動は、何れも同一であるので、此处では、データバッファ A コントローラ 84 A に付いて説明し、その他のデータバッファコントローラに付いての説明は省略する。

【0045】即ち、データバッファ A コントローラ 84 A に於いては前記した信号 A-REQ-1P と A-WRITE の両信号が入力され、書き込みセット信号 A-WT-SET を出力する AND ゲート回路 71、マスタ 1 A に対して与えられたメモリデータバス使用権信号である A-GRT 信号と A-WRIT

19

E-OUT 信号とが入力され、当該メモリ手段をイネーブルさせるA-MEMOE 信号を出力するANDゲート回路72、B-WT-SET信号及びB-スルーWT信号とが入力されるANDゲート回路73、CAS信号とA-WRITE をインバートした *A-WRITE 信号とが入力されるANDゲート回路74、*スルーBto A 及び*スルーC to A の信号が入力されるANDゲート回路75、A-ADS信号と*A-WRITE 信号とが入力されるANDゲート回路76が設けられ、且つ該ANDゲート回路75の出力は、前記ANDゲート回路74と76ともに入力され、該ANDゲート回路74の出力は、後述するORゲート回路90に入力されると共に、該ANDゲート回路76の出力は、後述するORゲート回路91に入力されている。

【0046】 処で、前記したANDゲート回路73の出力は、C-WT-SET信号とC-スルーWT信号とが入力されるANDゲート回路77の出力と共にORゲート回路78に入力され、該ORゲート回路78の出力は、フリップフロップ回路79を介して前記したANDゲート回路74の出力と共にORゲート回路90に入力され、該ORゲート回路90はA-RD-SET信号を出力するものである。

【0047】 又該ANDゲート回路76の出力は、A スルーRD信号と共にORゲート回路91に入力され、該ORゲート回路91はA-BUSOE 信号を出力するものである。係るデータバッファAコントローラ84Aの作動を説明すると、A-REQ-IPとA-WRITE がアサートされているときA-WT-SETがアサートされる。また、A-GRT とA-WRITE-OUT がアサートされているときにA-MEMOE がアサートされる。A-RD-SETは、スルーアクセスモードでないときのリードのメモリに対するCASと同じタイミングでアサートされ、スルーアクセスモードのときのB-WT-SET又はC-WT-SETの1サイクル遅れでアサートされる。A-BUSOE はスルーアクセスモードでないときA-ADS と*A-WRITEがアサートされたとき、およびスルーアクセスモードのときスルーRDがアサートされたときにアサートされる。データバッファBコントローラおよびデータバッファCコントローラも同様である。

【0048】 次に、本発明に於けるスルー転送モードレジスタ8に於いて、DTACK 信号を発生させるために使用されるDTACK生成回路85の構成に付いて説明する。即ち、DTACK 信号は、マスタからデータを転送するに当たり、所定のデータをADS信号と共に出力した後、そのデータが、所定のメモリ若しくはデータバッファ手段に記憶格納され、何時でも読出し信号を受ければ当該データの転送が可能となった状態を知らせる信号であり、データ転送元のマスタに於いては、係るDTACK 信号を受ければ、他の演算処理操作を行っても良いことになる。

【0049】 本発明のDTACK生成回路85の回路構成の一具体例としては、図9に示される様な回路構成を用いるものであって、A-WT-SET信号とA-RD-SET信号とが

20

入力されるORゲート回路93、スルーA to B と スルーA to C のインバート信号である*スルーA to B と、*スルーA to C とが入力されるORゲート回路94、該ORゲート回路94の出力をインバータ96で反転させた信号と該ORゲート回路93の出力とが入力されるANDゲート回路95、該ORゲート回路94の出力とA-WT-SET信号とが入力されるANDゲート回路97と該ORゲート回路94の出力とA-スルーRD信号とが入力されるANDゲート回路98とが設けられており、更にANDゲート回路95、97、98の出力がそれぞれ入力され、A-DTACK 信号を出力するORゲート回路99とから構成されているものである。

【0050】 係るDTACK生成回路85は、マスタ1A、1B、1Cのそれぞれに対応して設けられるものであり、その構成は何れも同一である。此处で、DTACK生成回路85Aの動作を説明するとA-DTACK は、スルーアクセスモードでないときA-WT-SETまたはA-RD-SETの1サイクル遅れでアサートされ、およびスルーアクセスモードのときA-WT-SETまたはA-スルーRDがアサートされたときにアサートされる。

【0051】 次に、本発明に於けるデータ転送制御手段8に於いて使用されるメモリ制御信号生成手段88は、A、B、C-GRT およびA-WRITE を入力し、メモリに対する制御信号を生成する。たとえば、メモリがDRAMの場合RAS、CAS、WE、アドレス選択信号(RASアドレス、CASアドレス選択)、メモリサイクルが終了する時点でアサートされるMEM-BUS-BNDなどを生成する。

【0052】 又、本発明に於けるデータ転送制御手段8に於いて使用されるアドレスバッファ89は、例えば図10に示す様な回路構成を有するものであって、適宜のレジスタ手段101と102とが配置されており、デコードリクエスト生成で出力されるリクエスト信号REQ がアサートされた時にアドレスバスの信号をラッチすると共に、WRITE 信号をラッチして、それぞれADD とWRITE-OUT の信号を出力するものである。

【0053】 一方、本発明に於けるデータ転送制御手段8に於いて使用されるアドレスセクタ86の回路構成の一例を図11に示しておく。該アドレスセクタ86は、3個のANDゲート回路103~105と一個のORゲート回路106で構成されたもので有って、それぞれのANDゲート回路には、使用権信号GRT と入力アドレス信号ADD とが入力される。

【0054】 かかるアドレスセクタは、3個の入力アドレス(ADD)のうちアサートされている使用権GRT のアドレス(ABC-ADD)を出力する事になる。又、本発明に於けるデータ転送制御手段8に於いて使用されるメモリアドレス生成手段87に付いて説明すると、図12は、本発明に使用されるメモリアドレス生成手段87の一具体例に係る回路構成を示すブロックダイアグラムである。

21

【0055】即ち、メモリアドレス生成手段87は、メモリ制御信号生成手段88からのRAS-ADD-EN信号と該アドレスセクタ86からのアドレス(ABC-ADD)信号の上位信号を入力するANDゲート回路108とメモリ制御信号生成手段88からのRAS-ADD-EN信号をインバータ107によって反転させた信号と、該アドレスセクタ86からのアドレス(ABC-ADD)信号の下位信号を入力するANDゲート回路109とから構成され、更に、該ANDゲート回路108と109の出力を入力とし、ORゲート回路110にてメモリのアドレス(MEM-ADD)としてRASアドレスとCASアドレスを出力する。

【0056】つまり、メモリアドレス生成手段87はメモリに対するアドレスを出力するもので有って、メモリがDRAMの場合、アドレス選択信号を入力し、それに従ってメモリに対するRASアドレスとCASアドレスを出力する。此処で、図1に示される本発明に係るデータ転送装置を用いてデータの転送を実行する場合の具体例を図13及び図14のタイミングチャートにより説明する。

【0057】具体的には、データ転送制御回路8にメモリを bypass してデータを転送するスルー転送モードを用意し、そのレジスタに割当てられたアドレスをアクセスすることにより、そのレジスタに'A \leftrightarrow Bスルー/B \leftrightarrow Cスルー/C \leftrightarrow Aスルー'のモードを設定する。たとえばA \leftrightarrow Bスルーのモードを設定した後にあるアドレス(X)にマスタ1Aのホストがライトすると、図13のようにデータバッファAのバス側入力レジスタに空きがあるときにそのレジスタのセット信号(A-WT-SET)が1周期(1 τ)アサートされるとともに、メモリバスのバスの使用権(A-GRT)がアサートされたらメモリバス側の出力イネーブル(A-MEMOE)がアサートされ、データがメモリバスに出力される。その直後にデータバッファBのメモリバス側入力レジスタのセット信号(B-RD-SET)が一周期(1 τ)アサートされる。また、このときにアドレス(X)をスルーアドレスレジスタに格納する。その後ホストBがアドレス(X)をリードすると、アドレスが等しい(X=Y)場合にデータバスB側の出力イネーブルをアサートしデータバッファBのメモリバス側入力レジスタの値をデータバスBに出力する。図14のように、データバッファの構成を変えずに各ホストとメモリ間のリードライトも可能である。

【0058】此処で、図13についてより詳細に説明すると、図13は、マスタ1Aからマスタ1Bに所定のデータを転送する場合の具体例を示したものであり、先ず最初にマスタ1Aから転送するデータのアドレス信号A-ADSが出力され、同時に当該データをデータバッファ手段3Aに書き込む為のライト信号A-WT-SET信号が出力される。

【0059】そのデータが、データ転送制御手段8に於いて、所定のデータバッファ手段3Aに格納され、何時

22

でもマスタ1Bに対して転送しえる状態になった事を示す信号A-DTACKが出力される。一方、同時にデータ転送制御手段8に於けるアービタ手段82が、メモリデータバス4の使用権を当該マスタ1Aに与える為の信号A-GRTが出力されると共に、当該メモリデータバス4の内のデータ伝送経路の内にデータを供給する事を許可される信号MEMOE信号がマスタ1Aに対応するデータバッファ手段3Aにあたえられる。

【0060】係る状態に於いては、図1に示す本発明のデータ転送装置に於いて、マスタ1Aから出力されたデータがデータバッファ手段3Aに格納されると同時に、メモリデータバス4の使用権をも獲得していることから、当該データは、マスタ1Bに対応したデータバッファ手段3Bの出力端4Bに迄到達している事になる。従って、この場合には、データバッファ手段3Aの出力端4Aとデータバッファ手段3Bの出力端4Bと命令デコード4の一部とで、データスルー転送用のデータ伝達経路が形成された事になる。

【0061】従って、マスタ1Aのデータは、共通のメモリ5に一旦格納される事なく直接的にマスタ1Bに転送出来る事になる。その後、マスタ1Bから当該データバッファ手段3B内にデータバッファ手段3Aからのデータを読み込む為の信号B-RD-SET信号が出力されると、該マスタ1Bから出力されるアドレス信号B-ADSが出力され、そのアドレスが、マスタ1Aから出力されたデータのアドレスと一致するか否かが判断され、一致すれば、読み込み開始信号B-BUSOEによって、既に当該データバッファ手段3Bの出力端部4Bまで来ている当該データを当該データバッファ手段3B内に読み込み、転送が完成する。

【0062】つまり、本発明に於いては、既に、マスタ1Aのデータが、メモリデータバス4の使用権を取ってその転送されるべきデータをマスタ1Bのデータバッファ手段3Bの出力端部4Bまで送り込んで来ているので、マスタ1Bは、転送を受ける場合に、メモリ手段5を介することなく、しかも改めて当該メモリデータバス4に付いて使用権を獲得する為の処理を行う事なく、直接的に当該データを読み取る事が可能となるので、データ転送時間を大幅に短縮する事が出来るのである。

【0063】本発明に於いて、係るデータ転送の操作中に、例えばマスタ1Cからデータの送信あるいは、データの読み取り信号を出力しても、当該マスタ1Cが、当該メモリデータバス4の使用権を獲得しえるのは、当該マスタ1Bが、メモリデータバス4にある転送データの読み込みが完了した後でないと当該使用権を獲得する事が出来ないの、データの衝突は完全に排除されると共に、マスタ1Bの読み取り操作が邪魔される恐れは全く無くなる。

【0064】又、図14は、本発明に係るデータ転送装置を用いてマスタとメモリ5との間のデータ転送に付い

23

て説明したものであり、従来と同じ様な、メモリ手段 5 を介してデータの転送を行う例を示すものであるが、従来の方式と異なる点は、各マスタ 1 A、1 B、1 C から同時に若しくは僅かにずれたタイミングでデータの転送若しくはデータの読出し信号が出力された場合でも、メモリデータバス 4 の使用権を制御して、一時期には、一つのマスタのデータのみが当該メモリデータバス 4 を使用する様にしているため、従来問題となっているデータの衝突、演算時間の遅延は、回避される。

【0065】次に、本発明に係るデータ転送装置の他の具体例に付いて説明する。即ち、本発明に於ける第 2 の具体例に於いては、各マスタ 1 A、1 B、1 C に接続されている該データバス 2 に、所定のデータを格納しうるデータ格納素子手段 9 が設けられており、該マスタから出力されるデータが、転送されるべき他のマスタに接続されているデータバスに設けられた該データ格納素子手段 9 に対して当該メモリ手段を介する事なく直接に転送される様に構成されているデータ転送装置である。

【0066】そして、該データ格納素子手段 9 は、例えば、ファーストインファーストアウト機能を有するレジスタ (FIFO) で構成されている事が望ましい。図 15 は、本発明に係る第 2 の具体例の構成の概略を示すブロックダイアグラムであり、又図 16 は、本発明に係る第 2 の具体例の構成をより詳細に示したブロックダイアグラムである。

【0067】つまり、第 2 の具体例が、前記した具体例と異なる点としては、スルーアクセスを行うときあるホストがライトを行うと転送先のホストのデータバスの接続されている FIFO などの格納素子に格納されるため、受け取り先のホストがリードする必要がない点である。異なる部分について以下で述べる。まず、アービタ 8 2 は、スルーアクセスモードでのリードがなくなるので、すべて A、B、C-REQ に対して GRT を生成する。つまり、ライトとリードのアドレスの一致を見る必要がなくなるのでスルー判定は必要ない。データバッファコントローラ 8 4 はまずスルーアクセスのライト時にアサートされる RD-SET の 1 サイクル遅れの信号を FIFO 9 に対する WRITE 信号 (A の場合 FIFOA-WRITE) とする。また、このときに BUSOE をアサートする。DTACK 生成ではスルーアクセスのリード時がなくなる。この場合のスルーアクセス時のタイムチャートを図 18 に示す。次に、本発明に係る第 2 の具体例に於いて使用される各手段に於いて、第 1 の具体例と異なる構成を有している部分に付いてその構成を簡単に説明しておく。

【0068】先ず図 4 B には、係る第 2 の具体例に於いて使用されるアービタ手段 8 2 の構成例が示されており、上記した様に、前記した具体例に於けるアービタ手段 8 2 に比べて大幅に簡素化されている。つまり、入力には、A-REQ、B-REQ、C-REQ のみであり、それ等が、インバータ 111、112 及び AND ゲート回路 113、1

24

14 とが、図示の様な配線で結合された優先順位決定回路により判断され、その結果が、フリップフロップ 115~117 を介してメモリデータバス使用権 A-GRT、B-GRT、C-GRT 信号としてそれぞれ出力されるものである。

【0069】又、図 17 には、係る第 2 の具体例に於いて使用されるデータバッファコントローラ 8 4 の構成例が示されており、その構成は、略第 1 の具体例に於いて使用されたデータバッファコントローラと同一であるが、異なる部分は、第 1 の具体例に於ける OR ゲート回路 91 の入力である A-スルー RD 信号が廃止され、その代わりに、フリップフロップ 120 が新しく設けられており、該フリップフロップ 120 は、フリップフロップ 7 9 の出力を入力として新たに設けられた FIFOA-WRITE 信号を出力すると共に、その出力を当該 OR ゲート回路 91 に入力する様に構成されているものである。

【0070】本具体例に於けるマスタ 1 A からマスタ 1 B にデータを転送する場合の動作を図 18 のタイミングチャートに従って説明すると、先ず最初にマスタ 1 A から転送するデータのアドレス信号 A-ADS が出力され、同時に当該データをデータバッファ手段 3 A に書き込む為のライト信号 A-WT-SET 信号が出力される。そのデータが、データ転送制御手段 8 に於いて、所定のデータバッファ手段 3 A に格納され、何時でもマスタ 1 B に対して転送しえる状態になった事を示す信号 A-DTACK が出力される。

【0071】一方、同時にデータ転送制御手段 8 に於けるアービタ手段 8 2 が、メモリデータバス 4 の使用権を当該マスタ 1 A に与える為の信号 A-GRT が出力されると共に、当該メモリデータバス 4 の内のデータ伝送経路の内にデータを供給する事を許可される信号 A-MEMOE 信号がマスタ 1 A に対応するデータバッファ手段 3 A にあたえられる。

【0072】従って、マスタ 1 A のデータは、共通のメモリ 5 に一旦格納される事なく直接的にマスタ 1 B に転送出来る事になる。その後、マスタ 1 B から当該データバッファ手段 3 B 内にデータバッファ手段 3 A からのデータを読み込む為の信号 B-RD-SET 信号が出力されると、該マスタ 1 B から出力されるアドレス信号 B-ADS が出力される事なく、直ちに読み込み開始信号 B-BUSOE が出力され、それによって、既に当該データバッファ手段 3 B の出力端部 4 B まで来ている当該データが、当該データバッファ手段 3 B に対応して設けられた FIFO レジスタ 9 内に読み込まれ、転送が完成する。

【0073】又、本発明に係るデータ転送装置の第 3 の具体例としては、例えば、マスタ 1 A からマスタ 1 B に所定のデータを転送する場合に、マスタ 1 A から出力されるデータを該データバッファ手段 3 A にのみ格納させておき、当該データをリードする場合には、マスタ 1 B 側のデータバッファ手段 3 B から、メモリデータバス 4 の一部を介してデータバッファ手段 3 A にリードしに行

く方法が考えられる。

【0074】この場合には、マスタ1A側では、メモリデータバス4に対する使用権を獲得する必要がないが、マスタ1B側では、メモリデータバス4に対する使用権を獲得する必要がある。その為、図19のタイミングチャートに於いては、先ず最初にマスタ1Aから転送するデータのアドレス信号A-ADSが出力され、同時に当該データをデータバッファ手段3Aに書き込む為のライト信号A-WT-SET信号が出力される。

【0075】かかる具体例では、これによって、マスタ1Aから出力された転送用のデータは、データバッファ手段3Aに格納されるが、マスタ1Aは、該メモリデータバス4の使用権をとる必要が無いので、A-GRTの信号は出されないで、当該データは、該データバッファ手段3A内に留まっている。一方、マスタ1Bから当該データバッファ手段3B内にデータバッファ手段3Aからのデータを読み込む為、先ず該マスタ1Bからアドレス信号B-ADSが出力され、その信号に対してB-DTACK信号が出力されると共に、当該マスタ1Bに対する当該メモリデータバス4の使用権を与える信号B-GRTが出力される事になる。

【0076】その後、A-MEMOE信号及びB-BUSOE信号が出力され、当該メモリデータバス4をマスタ1Bが使用出来る様になると、該マスタ1Bから信号B-RD-SET信号が出力され、該データバッファ手段3Aに格納されているデータを当該データバッファ手段3B内に読み込みが開始される。その間に、マスタ1Cが、何らかの処理信号を出力しても、メモリデータバスの使用権がマスタ1Cには与えられないので、上記転送操作が遅れたり、干渉される事がない。

【0077】次に、本発明に係るデータの転送方式及びデータの転送装置に関する他の具体例を以下に説明する。即ち、上記した様な本発明に係るデータの転送方式及びデータの転送装置によって、複数の装置1、つまりCPUを含む複数のマスター1A、1B、1C・・・が共有メモリ手段5にランダムにアクセスする場合に於けるデータの演算処理を高速化させる方法、手段が提供された。

【0078】然しながら、かかる方法、手段を使用している場合でも、当該方式に、複数のマスター1A、1B、1C・・・から、複数のライトアクセス信号及びリードアクセス信号とが、ランダムに当該データの転送装置に入力された場合には、ライトアクセス信号は、所定のライト用レジスタ回路にバッファリングされれば、所定のデータバス使用許可信号であるDTACKが出力されるから、当該データバスが解放されるので、次のアクセス信号を受ける事が可能ではあるが、リードアクセス信号の方は、当該メモリから所定のデータを読み出して、当該リード用レジスタ回路にバッファリングされた後でなければ、該DTACKが出力されないで、その

時期迄待たされる事になり、それだけ演算処理に時間が係る事になる。

【0079】つまり、複数のマスタ1A、1B、1C・・・から共有メモリ手段5をアクセスし、少なくとも一つのマスタに於いてある一定時間以上の応答がない場合には、タイムアウトエラーとなるシステムを有しているデータの転送方式に於いては、例えば、ホストコンピュータに繋がるアクセラレータで、ホストを共有メモリの1つのマスタにする場合には、通常ホストのタイムアウト時間が規定されていて、その時間無いに応答を返す必要がある。

【0080】そして、ライトアクセスを高速に行う為には、データをバッファリングすると高速アクセスが可能となり、かかるバッファの数が多程、ライトの連続した各アクセス信号に対する演算性能が向上する事になる。一方、従来に於ける当該データの転送方式に於いては、当該データの転送システムに入力されたライトアクセス信号及びリードアクセス信号は、その順序を変更せずに演算処理する事が基本となっている。

【0081】その為、かかる前提で上記の問題を解決する為、例えば、本発明に係る一具体例である図2に示すデータの転送装置に於けるライト用レジスタ回路33を図22に示す様に、複数の直列に配置して、入力されるアクセス信号を当該複数のレジスタバッファ間を順次シフトさせながら演算処理する方法が考えられる。つまり、図22のデータの転送装置は、複数の装置1(A、B、C・・・)、少なくとも1個の共有メモリ手段5、該複数の装置1のそれぞれに対応して設けられている複数のデータ保持手段3A、3B、3C・・・、当該一つの装置と当該装置に対応して設けられている一つの該データ保持手段との間に設けられたデータバス2A、2B、2C・・・、該各データ保持手段と該共有メモリ手段との間に設けられているメモリデータバス4A、4B、4C・・・及び当該データ保持手段のそれぞれと接続されていると同時に該共有メモリ手段とも接続されているデータ転送制御手段8とから構成されているデータ転送装置で有って、該データ転送装置に設けられている該データ保持手段3A、3B、3C・・・は、何れも該データバス2A、2B、2C・・・と接続された第1の双方向データバッファ回路31、該メモリデータバスに接続された第2の双方向データバッファ回路32、該第1の双方向データバッファ回路31の出力を入力とする第1のライト用レジスタ回路33-1、該第1のライト用レジスタ回路33-1の出力を入力とし該第2の双方向データバッファ回路32にその出力が接続されている第2のライト用レジスタ回路33-2、及び該第2の双方向データバッファ回路32の出力を入力とし、且つ該第1の双方向データバッファ回路31に出力するリード用レジスタ回路34が設けた構成とするものである。

27

【0082】係るデータの転送装置を用いて、データの転送を行う場合に、例えば図23に示す様に、同一のマスタAから、共有メモリ手段5に対して複数のアクセス信号、例えば、ライトアクセス信号W1とW2が2個連続して入力された後にリードアクセス信号R1が入力された場合を考えると、上記した様に、ライトアクセス信号に対しては、バッファでデータを受け取った直後に応答出来る為、上記2個のライトアクセス信号は直ぐに
10 応答を返すので、次のリードアクセスが行われる可能性があるが、リードアクセスに対しては、実際にメモリをアクセスしてデータが出力されなければ応答出来ない為、共有メモリ手段5に対する2つのライトアクセス信号のアクセスと該リードアクセス信号のアクセスとが終了した後に応答する事になる。

【0083】その為、アクセスに要する時間は、図23に示す様にT1となる。この場合でも、異なるマスタ(A以外のマスタ)からのアクセス信号が入力されていると、該処理時間T1もそれに依じて長くなる。又、図24に示す様に、ライトアクセス信号W1とリードアクセス信号R1とが交互に入力されるアクセス態様もあるが、この場合にも上記と同様に、リードアクセス信号の
20 アクセスに要する処理時間はT2となる。

【0084】又、上記と同様に異なるマスタ(A以外のマスタ)からのアクセス信号が入力されていると、その処理時間が長い場合には、該処理時間T2もそれに依じて長くなる。上記に於けるマスタA以外のマスタからのアクセスが長くなるという具体的要因としては、DMAで長時間メモリデータバスを専有する場合とか、マスタの数が多い場合が考えられる。

【0085】その為、係る様な、複数のアクセス信号が連続してアクセスされる場合には、上記したタイムアウトが発生し易くなるという問題がある。本発明に係るデータの転送方式に於ける第4の具体例に於いては、係る問題を解決し、複数のアクセス信号が連続してアクセスされた場合でも、上記したタイムアウトの発生を防止し、当該アクセスに対する演算処理をより高速に実行する為のデータの転送方式及びデータの転送装置を提供するものである。

【0086】即ち、本発明に於ける第4の具体例に於けるデータの転送方式の第1の態様は、図1に示される本発明に係るデータの転送方式に於ける基本的構成はそのまま維持しつつ、当該データ転送装置に於いて、該複数の装置1A、1B、1C、・・の少なくとも一つから
40 アクセスして、該共有メモリ手段5に所定の情報のライトを行うと共に、該共有メモリ手段5から、所定の情報をリードするに際し、或る一つの装置1Aから当該共有メモリ手段5に対してライトアクセス信号W1とリードアクセス信号R1とが連続して入力された場合に於いて、ライト信号がアクセスされ、当該ライト信号が該データ保持手段2Aに設けられたライト用レジスタ回路3

28

3にバッファリングされている間に、当該共有メモリ手段5に対するリード信号のアクセスが有った場合、該ライト信号アドレスと該リード信号アドレスとが異なる場合には、該データ保持手段2Aに設けられたライト用レジスタ回路33にバッファリングされている該ライト信号の該共有メモリ手段5に対するアクセスに先立って、
50 該リード信号のアクセスを該共有メモリ手段5に対して実行させる様に構成されているデータ転送方式であり、又本発明に係る第4の具体例に於ける第2の態様としては、上記したと同じ様なアクセスデータの入力があった場合に、該ライト信号アドレスと該リード信号アドレスとが同一である場合には、該共有メモリ手段5に対する該リード信号のアクセスを実行せずに、該データ保持手段2Aに設けられたライト用レジスタ回路33にバッファリングされている該ライト信号の情報を当該リードデータとして直接当該装置1Aに出力させる様に構成したデータ転送方式である。

【0087】又、本発明に於ける上記2種のデータの転送方式を個々に実行する為の装置構成の例としては、図1に示される本発明のデータの転送装置に於ける基本的な構成は維持しつつ、当該データの転送装置に設けられる該データ保持手段3Aは該データバス2Aと接続された第1の双方向データバッファ回路31、該メモリデータバス4に接続された第2の双方向データバッファ回路32、該第1の双方向データバッファ回路31の出力を入力とし、且つ該第2の双方向データバッファ回路32に出力する少なくとも1段のライト用レジスタ回路33、及び該第2の双方向データバッファ回路32の出力を入力とし、且つ該第1の双方向データバッファ回路31に出力する1段のリード用レジスタ回路34と、該少なくとも1段のリード用レジスタ回路34と該第1の双方向データバッファ回路31との間に、出力が、該第1の双方向データバッファ回路31の入力と接続され、且つ入力
30 が、該ライト用レジスタ回路33及び該1段のリード用レジスタ回路34とに接続されているセレクト手段200が設けられているものである。

【0088】本具体例に於けるデータの転送装置の構成の内、図1に示される基本構成に設けられているデータ転送制御回路8の内部構成が、図26に示される様な構成を有するものであるが、その構成及び動作は、マスタ応答制御手段201が付加されている点を除けば、図3に示されるデータ転送制御回路の内部構成とほぼ同じ構成である。

【0089】又、本具体例に於けるデータバッファ3Aから3Cの構成は、図25に示される様に、本発明に於ける基本態様である図2のデータバッファの構成とは異なっている事が理解される。係る第4の具体例に於いては、上記の様に、ライト用レジスタ回路33がアクセスデータが格納された事によってその状態(States)がフル状態になった後に、リードアクセス信号が入
50

力された場合、アクセス順を保ちながら演算処理を行うと言う従来のシステムを変更し、当該ライトアクセス信号とリードアクセス信号とのアクセス順を変更したり、当該ライトアクセス信号により当該ライト用レジスタ回路 33 にバッファされているライトデータを共有メモリ手段 5 に格納する前に、リードすると言う方式を導入するものである。

【0090】本発明に於ける上記第 4 の具体例の第 1 と第 2 の態様を実行する為のデータの転送装置の構成の例に付いて以下に詳細に説明する。即ち、本発明に係る該データ転送装置に於けるデータ保持手段（データバッファ手段）3 には、図 25 に示した構成の他に更に、図 27 に示す様な、或る一つの装置 A から第 1 の時刻に於いて、当該共有メモリ手段 5 に対するライト信号 W1 がアクセスされ、当該ライト信号 W1 が該データ保持手段 3 A に設けられているライト用レジスタ回路 33 にバッファリングされている間の第 2 の時刻に於いて、当該共有メモリ手段 5 に対するリード信号のアクセスが有った事を判別するライト／リード判定手段 203 が設けられている事が望ましい。

【0091】係るライト／リード判定手段 203 の構成と作動に付いて説明するならば、図 27 に於ける FF-1 として示されているライト用レジスタ回路 33 は、図 25 に於けるライト用レジスタ回路 33 と同一のものであり、該ライト／リード判定手段 203 は、該ライト用レジスタ回路 33 にライトアクセス信号が格納された状態で、リードアクセス信号（図中 ADS と Write 信号の反転信号 *Write が共にアサートされた状態で示される）がきた事を判定するものである。

【0092】先ず図 27 に於いて、該ライト用レジスタ回路（FF-1）33 は、その状態（Status フル又は空の状態）が空の状態、且つ ADS がアサートされている最初のサイクルで図中の FFA1-SET がアサートされた時にライト信号（Write）をラッチする。一方セクタ手段 200 は、該ライト／リード判定手段 203 の出力（WR-ST）が“H”レベルの時、かつリードアドレスとライトアドレスが等しく無い時（つまり以下に示す信号 RWSAME が、“L”レベルの場合）に当該マスタのライト信号（Write）を出力し、又、リードアドレスとライトアドレスが等しい時（つまり以下に示す信号 RWSAME が、“H”レベルの場合）に当該ライト用レジスタ回路（FF-1）33 のデータを出力する。

【0093】更に、該 AND 回路 204 は、該ライト用レジスタ回路（FF-1）33 の状態（Status）がフル状態で、該ライト用レジスタ回路（FF-1）33 の出力が“H”レベル（即ち Write）でかつ ADS が“H”レベルで、ライト信号（Write）が“L”レベルの時に、アサートされる。つまりライトアクセス信号とリードアクセス信号とが、この順で入力された事を判断するも

のである。

【0094】次に、本発明に係る上記具体例に於いては、更に図 28 に示される様なアドレス一致判定手段 206 が設けられる事が望ましく、該アドレス一致判定手段 206 は前記したライト／リード判定手段 203 の出力信号に応答し、該第 1 の時刻に於ける、当該共有メモリ手段 5 にアクセスする該ライト信号 W1 のアドレスと、該第 2 の時刻に於ける、当該共有メモリ手段 5 にアクセスする該リード信号 R1 のアドレスとが、一致しているか否かを判断するものである。

【0095】係るアドレス一致判定手段 206 は、アドレスバッファとも称されるものであって、その構成の概略とその動作は、図 28 に示す様に、マスタ A のアドレス（Write）は、図 27 に示されている信号 FFA1-SET がアサートされた時に FF-5 で示されるレジスタ回路 207 にラッチされる。又、適宜のセクタ回路 208 は、AND 回路 261 の出力が“L”レベルであるとき、即ち、ライトアクセス信号 W1 とリードアクセス信号 R1 が入力された場合に於いて、当該ライト信号とリード信号のアドレスが異なる場合、該 FF-5 で示されるレジスタ回路 207 のアドレスデータを出力し、当該アドレスが同一の場合、即ち AND 回路 261 の出力が“H”レベルであるとき、マスタ A のアドレスを選択して出力する。

【0096】一方、イクオラー（Equalar）209 は、マスタ A のアドレスと該 FF-5 で示されるレジスタ回路 207 のアドレスとが等しい場合に“H”レベルとなり、該イクオラー（Equalar）209 の出力と前記した図 27 に示される状態信号 WRST との AND をとる AND 回路 210 の出力は、ライトアドレス信号 W1 とリードアドレス信号 R1 とが入力された場合に、両者のアドレスが同一であることを示す信号 RWSAME として“H”レベルの信号を出力し、又 AND 回路 211 は、該状態信号 WRST とイクオラー（Equalar）209 の出力をインバータ（INV）212 で反転させた信号とで AND を取るものであり、その出力 WRNSAME は、“L”レベルであって、ライトアドレス信号 W1 とリードアドレス信号 R1 とが入力された場合に、両者のアドレスが異なるものであることを示す。

【0097】従って、図 25 に於いて、通常は、RWSAME 信号は、“L”レベルであり、その状態では、両者のアドレスが異なるものであることを示す場合であり、該セクタ手段 200 は、該リード用レジスタ回路 34 の値をリード値として該双方向データバッファ回路 31 に出力し、当該 RWSAME 信号は、“H”レベルの状態では、両者のアドレスが同一であることを示す場合であり、該セクタ手段 200 は、FF-5 で示されるレジスタ回路 207 のアドレスの出力値をリード値として出力する事になる。

【0098】即ち、本発明に於いて使用される該データ

31

転送装置に於ける該セクタ手段は、当該アドレス一致判定手段の出力が、該ライト信号アドレスと該リード信号アドレスとが異なる事を示している場合には、該リード用レジスタにバッファされている信号情報を該第1の双方向データバッファ回路に出力する様に作動するものであり、一方当該アドレス一致判定手段の出力が、該ライト信号アドレスと該リード信号アドレスとが同一である事を示している場合には、該ライト用レジスタ回路にバッファされている該ライト信号情報を該第1の双方向データバッファ回路に出力する様に作動するものに構成されているものである。

【0099】更に、本発明に於いて、第5の具体例として、複数のライトアドレス信号とリードアドレス信号とが一時期に連続して入力される場合を考える。例えば、図29或いは図30に示す様に、第1のライトアクセス信号W1と第2のライトアクセス信号W2がこの順で入力され、その後リードアクセス信号が入力される場合を考える。

【0100】係る場合は、第1のライトアクセス信号W1は直ちにライト用レジスタ回路に格納されD T A C K 信号を出力させるので問題はないが、前記同様に、該第2のライトアクセス信号W2とリードアクセス信号R1との関係が問題となる。従って、本具体例に於いては、ライト用レジスタ回路、つまりライトバッファが2段に設けられているデータの転送装置を用いるものであって、図31に示す様に、図25に示されるデータ保持手段に於いて、ライト用レジスタ回路を2段に直列的に配置した構造を有するものである。

【0101】即ち、本具体例に於いて使用される該データの転送装置に於けるデータ保持手段3Aから3Cのそれぞれは、該データバス2Aと接続された第1の双方向データバッファ回路31、該メモリデータバス4に接続された第2の双方向データバッファ回路32、該第1の双方向データバッファ回路31の出力を入力とする第1のライト用レジスタ回路33-1、該第1のライト用レジスタ回路33-1の出力が入力され、且つその出力が該第2の双方向データバッファ回路32に出力する第2のライト用レジスタ回路33-1及び該第2の双方向データバッファ回路32の出力を入力とし、且つ該第1の双方向データバッファ回路31に出力するリード用レジスタ回路34と、該リード用レジスタ回路34と該第1の双方向データバッファ回路31との間に、出力が、該第1の双方向データバッファ回路31の入力と接続され、且つ入力、該第1のライト用レジスタ回路33-1及び該リード用レジスタ回路34との出力にそれぞれ接続されているセクタ手段200が設けられているものである。

【0102】つまり、本発明に於ける第5の具体例に於いては、当該ライト用レジスタ回路33-1と33-2の何れもがアクセスデータが格納された状態 (Status

32

がフル状態) になった後にリードアクセス信号が入力された場合、アクセス順を保ちながら演算処理を行うと言う従来のシステムを変更し、第2のライトアクセス信号とリードアクセス信号とのアクセス順を変更したり、第2のライトアクセス信号により当該第1のライト用レジスタ回路33-1にバッファされているライトデータを共有メモリ手段5に格納する前に、リードするという方式を導入するものである。

【0103】従って、本発明の第5の具体例に於ける第1の態様としては、複数の装置AからCと少なくとも1個の共有メモリ手段5との間に該装置と対応してデータ保持手段3Aから3Cが設けられ、当該装置と該データ保持手段とが接続され、且つ該データ保持手段3Aから3Cと該共有メモリ手段5とがメモリデータバス4に接続されているデータ転送装置に於いて、該複数の装置AからCの少なくとも一つからアクセスして、該共有メモリ手段5に所定の情報のライトを行うと共に、該共有メモリ手段5から、所定の情報をリードするに際し、或る一つの装置Aから当該共有メモリ手段5に対する第1と第2の2個のライト信号W1と2が連続してアクセスされ、当該ライト信号W1と2が該データ保持手段3Aに設けられている第1と第2のライト用レジスタ回路33-1と33-2にバッファリングされている間に、当該共有メモリ手段5に対する1個のリード信号R1のアクセスが有った場合、該第2のライト信号アドレスと該リード信号アドレスとが異なる場合には、該データ保持手段3Aに設けられた第1のライト用レジスタ回路にバッファリングされている該第2のライト信号W2のアクセスに先立って、該リード信号R1のアクセスを該共有メモリ手段5に対して実行させるデータ転送方式であり、又本発明の第5の具体例に於ける第2の態様としては、上記と同様の構成に於いて、或る一つの装置Aから当該共有メモリ手段5に対する第1と第2の2個のライト信号W1と2が連続してアクセスされ、当該ライト信号W1と2が該データ保持手段3Aに設けられている第1と第2のライト用レジスタ回路33-1と33-2にバッファリングされている間に、当該共有メモリ手段5に対する1個のリード信号R1のアクセスが有った場合、該第2のライト信号アドレスと該リード信号アドレスとが同一である場合には、該共有メモリ手段5に対する該リード信号R1のアクセスを実行せずに、該第1のライト用レジスタ回路33-1にバッファリングされている該第2のライト信号W2の情報を直接当該リードデータとして当該装置Aに出力させる様に構成されているデータ転送方式である。

【0104】即ち、図29に示す様に、本発明に係る第5の具体例に於ける第1の態様に於いては、第1のライトアクセス信号W1と第2のライトアクセス信号W2がこの順で入力され当該第1のライト用レジスタ回路33-1には、第2のライトアクセス信号W2が格納されて

33

おり又、該第2のライト用レジスタ回路33-2には、第1のライトアクセス信号W1が、前記第1のライト用レジスタ回路33-1からシフトされて来て格納された状態になった後にリードアクセス信号R1が入力された場合、該第2のライトアクセス信号W2のアドレスと該リードアクセス信号R1のアドレスが異なる場合には、該第2のライトアクセス信号W2を共有メモリ手段5に格納するよりも先に、リードアクセス信号を共有メモリ手段5にアクセスさせて所定の情報を読み出す様にし、その後当該第2のライトアクセス信号W2のアクセスを実行させる様にするものである。

【0105】図29に於けるDTACKX1は、当該リードアクセス信号のアクセス終了により出力されたものである事を示している。一方、図30に示す様に、本具体例に於ける第2の態様に於いては、第1のライトアクセス信号W1と第2のライトアクセス信号W2がこの順で入力され当該第1のライト用レジスタ回路33-1には、第2のライトアクセス信号W2が格納されており又、該第2のライト用レジスタ回路33-2には、第1のライトアクセス信号W1が、前記第1のライト用レジスタ回路33-1からシフトされて来て格納された状態になった後にリードアクセス信号R1が入力された場合、該第2のライトアクセス信号W2のアドレスと該リードアクセス信号R1のアドレスが同一である場合には、該共有メモリ手段5に於ける所定のアドレスのデータは、書換えられる事が自明であるので、当該リードアクセス信号のアクセスを該第2のライトアクセス信号のアクセスより先に実行する事は問題があるので、リードアクセス信号による共有メモリ手段5へのリードアクセスは行わず、当該第1のライト用レジスタ回路33-1に格納されている第2のライトアクセスデータ信号をリードデータ信号として出力する様にしたものである。

【0106】次に、本発明に係る上記第5の具体例に於ける第1と第2の態様を実現させるデータの転送装置の構成を説明するならば、その基本的構成は、図1に示された構造とほぼ同一であるが、当該データの転送装置に使用されているデータ保持手段3Aから3Cの内部構造が、上記具体例のものとは異なっている。即ち、図31に示す様に、該データ保持手段3Aは、該データバス2Aと接続された第1の双方向データバッファ回路31、該メモリデータバス4に接続された第2の双方向データバッファ回路32、該第1の双方向データバッファ回路31の出力を入力とする第1のライト用レジスタ回路33-1、該第1のライト用レジスタ回路33-1の出力を入とし該第2の双方向データバッファ回路32にその出力が接続されている第2のライト用レジスタ回路33-2、及び該第2の双方向データバッファ回路32の出力を入力とし、且つ該第1の双方向データバッファ回路31に出力するリード用レジスタ回路34と、該リード用レジスタ回路34と該第1の双方向データバッファ回

34

路31との間に、出力が、該第1の双方向データバッファ回路31の出力と接続され、且つ入力も、該第1のライト用レジスタ回路33-1及び該リード用レジスタ回路34とに接続されているセクタ手段200が設けられているデータ転送装置である。

【0107】又、本発明に於ける第5の具体例に使用される該データ転送装置は、更に、或る一つの装置から第1の時刻に於いて、当該共有メモリ手段5に対する第1のライト信号W1がアクセスされると共に、それに続く第2の時刻に於いて、当該共有メモリ手段5に対する第2のライト信号W2がアクセスされ、次いでその後、当該第1及び第2のライト信号W1、W2と共に該データ保持手段に設けられた該第1と第2のライト用レジスタ回路33-1と33-2にバッファリングされているか、その一部がメモリに格納されている間の第3の時刻に於いて、当該共有メモリ手段5に対するリード信号R1のアクセスが有った事を判別するライト/リード判定手段300が設けられている事が望ましい。

【0108】係るライト/リード判定手段300の基本的な構成は、図32に示されており、その動作は、基本的には、図27に示されているライト/リード判定手段203と同一であるが、ライト/リード判定手段203が、ライトアクセス信号W1とリードアクセス信号R1との入力関係を判断するのに対し、本具体例に於けるライト/リード判定手段300は、第1のライトアドレス信号W1と第2のライトアクセス信号W2とリードアクセス信号R1とが、この順、つまりW1、W2、R1の順に入力されたか否かを判断する点が異なっている。

【0109】係るライト/リード判定手段203の構成と作動に付いて説明するならば、図32に於けるFF-1及びFF-2として示されているレジスタ回路は、図31に示す第1のライト用レジスタ回路33-1及び第2のライト用レジスタ回路33-2とそれぞれ対応するものであり、該ライト/リード判定手段300は、該第1と第2のライト用レジスタ回路33-1と33-2とにライトアクセス信号が格納された状態で、リードアクセス信号（図中ADSとWrite信号の反転信号*Writeが共にアサートされた状態で示される）が来た事を判定するものである。

【0110】先ず図32に於いて、該第1のライト用レジスタ回路（FF-1）33-1は、その状態（Statusフル又は空の状態）が空の状態、且つADSがアサートされている最初のサイクルで図中のFFA1-SETがアサートされた時にライト信号（Write）をラッチする。一方セクタ手段301は、該ライト/リード判定手段300の出力（WWR-ST）が“H”レベルの時、かつリードアドレスR1と第2のライトアドレスW2が等しく無い時（つまり以下に示す信号RWSAMEが、“L”レベルの場合）に当該マスタのライト信号（Write）を出力し、又、リードアドレスR1と第2のラ

イトアドレスW2が等しい時（つまり以下に示す信号RWSAMEが、“H”レベルの場合）に当該第1のライト用レジスタ回路（FF-1）33-1に格納されている第2のライトアクセス信号のデータを出力する。

【0111】又、第2のライト用レジスタ回路（FF-3）33-2は、その状態（Statusフル又は空の状態）が空の状態、且つ前記第1のライト用レジスタ回路（FF-1）33-1の状態がフルの時、又は該ライト／リード判定手段300の出力が“H”レベルの場合、最初のサイクルでFFA2-SETがアサートされた時にセクタ回路301の出力をラッチする。

【0112】更に、該AND回路303は、該第1と第2のライト用レジスタ回路（FF-1、FF-3）33-1と33-2の状態（Status）が何れもフル状態で、該第1と第2のライト用レジスタ回路（FF-1、FF-3）33-1と33-2の出力が何れも“H”レベル（即ちWrite）でかつADSが“H”レベルで、ライト信号（Write）が“L”レベルの時（つまりリードアクセス信号が入力された場合）に、アサートされる。つまりライトアクセス信号W1、W2とリードアクセス信号1とが、この順で入力された事を判断するものである。

【0113】一方セクタ手段301は、該ライト／リード判定手段300の出力（WWR-ST）が“H”レベルの時、かつリードアドレスR1と第2のライトアドレスW2が等しく無い時（つまり以下に示す信号RWSAMEが、“L”レベルの場合）に当該マスタのライト信号（Write）を出力し、又、リードアドレスR1と第2のライトアドレスW2が等しい時（つまり以下に示す信号RWSAMEが、“H”レベルの場合）に当該第1のライト用レジスタ回路（FF-1）33-1に格納されている第2のライトアクセス信号のデータを出力する。

【0114】更に、AND回路303は、該第1のライト用レジスタ回路（FF-1）33-1と該第2のライト用レジスタ回路（FF-3）33-2との状態（Status）が何れもフル状態で、該第1のライト用レジスタ回路（FF-1）33-1と該第2のライト用レジスタ回路（FF-3）33-2の出力が共に“H”レベル（即ちWrite）でかつADSが“H”レベルで、ライト信号（Write）が“L”レベル（つまり、この場合には、ライトアクセス信号で、ライトアクセス信号とリードアクセス信号とを表すものであって、当該ライトアクセス信号が“L”レベルである事は、該リードアクセス信号が入力された事を示すものである。）の時に、アサートされ、WWR-ST信号が出力される。

【0115】つまり第1のライトアクセス信号W1と第2のライトアクセス信号W2とリードアクセス信号R1とが、この順で入力された事を判断するものである。図33は、図32に示す各回路に於ける出力波形を示すタ

イムチャートである。次に、本発明に係る第5の具体例に於いては、更に図34に示される様なアドレス一致判定手段310が設けられる事が望ましく、該アドレス一致判定手段310は前記したライト／リード判定手段300の出力信号に応答し、該第2の時刻に於ける、当該共有メモリ手段5にアクセスする該第2のライト信号W2のアドレスと、該第3の時刻に於ける、当該共有メモリ手段5にアクセスする該リード信号R1のアドレスとが、一致しているか否かを判断するものである。

【0116】係るアドレス一致判定手段310は、アドレスバッファとも称されるものであって、その構成の概略とその動作は、図28に示すものと基本的には同一である。つまり、マスタAのアドレス（Write）は、図32に示されている信号FFA1-SETがアサートされた時に、第1のライト用レジスタ回路（FF-5で示されるレジスタ回路）311にラッチされる。

【0117】又、適宜のセクタ回路312は、AND回路317の出力が“L”レベルであるとき、即ち、2個のライトアクセス信号W1、W2とリードアクセス信号R1が入力された場合に於いて、当該第2のライト信号W2とリード信号R1のアドレスが異なる場合、該FF-5で示されるレジスタ回路311のアドレスデータを出力し、当該アドレスが同一の場合、即ちAND回路317の出力が“H”レベルであるとき、マスタAのアドレスを選択して出力する。

【0118】更に、第2のライト用レジスタ回路（FF-7）で示されるレジスタ回路313には、図32に示されている信号FFA2-SET信号がアサートされた時に、該セクタ回路312の出力がラッチされる。一方、イクオラー（Equalar）314は、マスタAのアドレスと該FF-5で示される第1のレジスタ回路311のアドレスとが等しい場合に“H”レベルとなり、該イクオラー（Equalar）314の出力と前記した図32に示される状態信号WWR-STとのANDをとるAND回路315の出力は、2個のライトアクセス信号W1、W2とリードアクセス信号R1が入力された場合に於いて、第2のライト信号W2とリード信号R1のアドレスが同一であることを示す信号RWSAMEとして“H”レベルの信号を出力し、又AND回路317は、該状態信号WWR-STとイクオラー（Equalar）314の出力をインバータ（INV）316で反転させた信号とでANDを取るものであり、その出力WWR-NSAMEは、“L”レベルであって、2個のライトアクセス信号W1、W2とリードアクセス信号R1が入力された場合に於いて、第2のライト信号W2とリード信号R1のアドレスが異なるものであることを示す。

【0119】従って、図31に於いて、通常は、WWR-SAME信号は、“L”レベルであり、その状態では、両者のアドレスが異なるものであることを示す場合であり、該セクタ手段200は、該リード用レジスタ回路

37

34の値をリード値として該双方向データバッファ回路31に出力し、当該WRSAME信号が、“H”レベルの状態では、両者のアドレスが同一であることを示す場合であり、該セレクト手段200は、切替えられてFF-1で示される第1のレジスタ回路33-1のアドレスの出力値をリード値として出力する事になる。

【0120】即ち、本発明に於いて使用される該データ転送装置に於ける該セレクト手段は、当該アドレス一致判定手段の出力が、該ライト信号アドレスと該リード信号アドレスとが異なる事を示している場合には、該リード用レジスタにバッファされている信号情報を該第1の双方向データバッファ回路に出力する様に作動するものであり、一方当該アドレス一致判定手段の出力が、該ライト信号アドレスと該リード信号アドレスとが同一である事を示している場合には、該ライト用レジスタ回路にバッファされている該ライト信号情報を該第1の双方向データバッファ回路に出力する様に作動するものの様に構成されているものである。

【0121】即ち、本発明の第5の具体例に使用される該データ転送装置は、更に該ライト／リード判定手段の出力信号にตอบสนองし、該第2の時刻に於ける、当該共有メモリ手段にアクセスする該第2のライト信号のアドレスと、該第3の時刻に於ける、当該共有メモリ手段にアクセスする該リード信号のアドレスとが、一致しているか否かを判断するアドレス一致判定手段が設けられている事が望ましい。

【0122】又、本具体例の該データ転送装置に於いて、該セレクト手段は、当該アドレス一致判定手段の出力により制御されるものである事が望ましい。更に、本発明の該具体例に於ける該セレクト手段は、当該アドレス一致判定手段の出力が、該第2のライト信号アドレスと該リード信号アドレスとが異なる事を示している場合には、該リード用レジスタにバッファされているリード信号情報を該第1の双方向データバッファ回路に出力する様に作動するものであり、一方当該アドレス一致判定手段の出力が、該第2のライト信号アドレスと該リード信号アドレスとが同一である事を示している場合には、該1段のライト用レジスタ回路にバッファされている第2のライト信号情報を該第1の双方向データバッファ回路に出力する様に作動するものである。

【0123】又、以下に本発明に於けるデータの転送方式及びデータの転送装置の第6の具体例に付いて説明する。上記した第4と第5の具体例に於いては、複数のアドレス信号が、連続して入力される場合に、タイムアップの状態の発生を防止しながら、演算速度を高めつ方法として、複数のライト用レジスタ回路を設けると同時に、リードアクセス信号が、リードすべきデータ値の位置を切り換えるセレクト手段が設けられているものであったが、本具体例に於いては、該セレクト手段を使用しないで、上記本発明の目的を達成しようとするものであ

38

る。

【0124】即ち、本発明に係る第6の具体例に於いては、図22に示される様なデータ保持手段3Aから3Cを使用するもので有って、その構成は、複数の装置1AからCと少なくとも1個の共有メモリ手段5との間に該装置AからCと対応してデータ保持手段3Aから3Cが設けられ、当該装置と該データ保持手段3Aから3Cとが接続され、且つ該データ保持手段3Aから3Cと該共有メモリ手段5とがメモリデータバス4に接続されているデータ転送装置に於いて、該複数の装置の少なくとも一つからアクセスして、該共有メモリ手段5に所定の情報のライトを行うと共に、該共有メモリ手段5から、所定の情報をリードするに際し、或る一つの装置Aから当該共有メモリ手段5に対する第1と第2の2個のライト信号W1、W2が連続してアクセスされ、当該ライト信号W1、W2が該データ保持手段3Aに於ける第1と第2のライト用レジスタ回路33-1と33-2とにバッファリングされている間に、当該共有メモリ手段5に対する1個のリード信号R1のアクセスがあった場合、該第2のライト信号アドレスW2と該リード信号アドレスR1とが同一の場合には、該共有メモリ手段5に対する該第2のライト信号W2のライト操作に先立って、該リード信号R1によるリード操作を行って、該共有メモリ手段5からの所定の情報を、該データ保持手段3Aに設けられているリード用レジスタ回路34にバッファリングさせ、その後、該第2のライト信号W2の情報を該共有メモリ手段5内にライトする様にしたデータ転送方式である。

【0125】つまり、本具体例に於いては、メモリのアクセスして複数のワードをアクセスしバーストアクセスや1ワードの中の一部のみをライトする場合には、上記した当該共有メモリ手段5に対する第1と第2の2個のライト信号W1、W2が連続してアクセスされ、当該ライト信号W1、W2が該データ保持手段3Aに於ける第1と第2のライト用レジスタ回路33-1と33-2とにバッファリングされている間に、当該共有メモリ手段5に対する1個のリード信号R1のアクセスされる場合に、該第2のライトアクセス信号がアクセスする時に、リードモディファイドライト操作を実行して、ライトバッファの値をリード値として出力すると共に、該第2のライトアクセス信号W2のライトアクセスも同時に実行する様にしたものである。

【0126】図36は、本発明に係る第6の具体例に於けるアクセス及び操作のタイミングを示すチャートである。係るデータの転送方式を具体例に実行する為のデータの転送装置の構成としては、例えば、図1に示された本発明のデータの転送装置に関する基本的構成を有するものに於いて、該データ転送装置に使用される該データ保持手段が、該データバス2と接続された第1の双方向データバッファ回路31、該メモリデータバス4に接続

された第2の双方向データバッファ回路32、該第1の双方向データバッファ回路31の出力を入力とする第1のライト用レジスタ回路33-1、該第1のライト用レジスタ回路33-1の出力を入力とし該第2の双方向データバッファ回路32にその出力が接続されている第2のライト用レジスタ回路33-2、及び該第2の双方向データバッファ回路32の出力を入力とし、且つ該第1の双方向データバッファ回路31に出力するリード用レジスタ回路34と、或る一つの装置Aから第1の時刻に於いて、当該共有メモリ手段5に対する第1のライト信号W1がアクセスされると共に、それに続く第2の時刻に於いて、当該共有メモリ手段5に対する第2のライト信号W2がアクセスされ、次いでその後、当該第1及び第2のライト信号W1、W2が共に該データ保持手段3Aに設けられた該第1及び第2のライト用レジスタ回路33-1及び33-2にバッファリングされているか、その一部がメモリ5に格納されている間の第3の時刻に於いて、当該共有メモリ手段5に対するリード信号R1のアクセスがあった事を判別するライト／リード判定手段300と、該ライト／リード判定手段300の出力信号に応答し、該第2の時刻に於ける、当該共有メモリ手段5にアクセスする該第2のライト信号W2のアドレスと、該第3の時刻に於ける、当該共有メモリ手段5にアクセスする該リード信号R1のアドレスとが、一致しているか否かを判断するアドレス一致判定手段310と、該アドレス一致判定手段310の出力に応答して該データ保持手段3Aにリードモディファイドライト操作を実行させるリードモディファイドライト手段400とが設けられている事が望ましい。

【0127】

【発明の効果】本発明に係るデータ転送方式及びデータ転送装置に於いては、複数のマスタ間で、データを転送するに際し、複雑な回路構成を採用せずに高速に且つ容易にデータ転送が可能となる。又、本発明に係るデータの転送装置及びデータの転送方式に於いては、上記した構成を有することから、複数のアクセス信号が連続してアクセスされた場合でも、上記したタイムアウトの発生を防止し、当該アクセスに対する演算処理をより高速に実行する為のデータの転送方式及びデータの転送装置を得る事が可能となる。

【図面の簡単な説明】

【図1】図1は、本発明に係るデータ転送装置の構成を説明するブロックダイアグラムである。

【図2】図2は、本発明に於いて使用されるデータバッファ手段の具体例の構成を説明するブロックダイアグラムである。

【図3】図3は、本発明に於いて使用されるデータ転送制御手段の具体例の構成を説明するブロックダイアグラムである。

【図4】図4Aは、本発明に於ける第1の具体例に於いて

使用されるアービタ手段の具体例の構成を説明するブロックダイアグラムであり、又図4Bは、本発明に於ける第2の具体例に於いて使用されるアービタ手段の具体例の構成を説明するブロックダイアグラムである。

【図5】図5は、本発明に於いて使用されるデータバッファコントローラの具体例の構成を説明するブロックダイアグラムである。

【図6】図6は、本発明に於いて使用されるデコーダリクエストの具体例の構成を説明するブロックダイアグラムである。

【図7】図7は、本発明に於いて使用されるスルー転送モードレジスタの作動を説明するブロックダイアグラムである。

【図8】図8は、本発明に於いて使用されるスルー判定手段の具体例の構成を説明するブロックダイアグラムである。

【図9】図9は、本発明に於いて使用されるDTACK生成手段の具体例の構成を説明するブロックダイアグラムである。

【図10】図10は、本発明に於いて使用されるアドレスバッファの具体例の構成を説明するブロックダイアグラムである。

【図11】図11は、本発明に於いて使用されるアドレスセクタの具体例の構成を説明するブロックダイアグラムである。

【図12】図12は、本発明に於いて使用されるアドレスセクタの具体例の構成を説明するブロックダイアグラムである。

【図13】図13は、本発明に係るデータ転送方式の手順の一例を説明するタイミングチャートである。

【図14】図14は、本発明に係るデータ転送方式の手順の他の例を説明するタイミングチャートである。

【図15】図15は、本発明に係るデータ転送装置の第2の具体例の構成を説明するブロックダイアグラムである。

【図16】図16は、本発明に係るデータ転送装置の第2の具体例に於いて使用されるデータ転送制御手段の具体例の構成を説明するブロックダイアグラムである。

【図17】図17は、本発明の第2の具体例に於いて使用されるデータバッファコントローラの具体例の構成を説明するブロックダイアグラムである。

【図18】図18は、本発明の第2の具体例に係るデータ転送方式の手順の一例を説明するタイミングチャートである。

【図19】図19は、本発明の第3の具体例に係るデータ転送方式の手順の他の例を説明するタイミングチャートである。

【図20】図20は、従来に於けるデータ転送装置の構成の一例を示すブロックダイアグラムである。

【図21】図21Aは、従来に於けるマスタ間でデータ

41

を転送する最中に他のマスタのアクセスが入らない場合の操作手順を説明するタイミングチャートであり、図21Bは、マスタ間でデータを転送する最中に他のマスタのアクセスが入った場合の操作手順を説明するタイミングチャートである。

【図22】図22は、本発明に係る複数のライトアクセス信号とリードアクセス信号とが連続してアクセスされた場合のデータ保持手段に於ける問題を説明するブロックダイアグラムである。

【図23】図23は、図22に示すデータ保持手段を使用した場合のライトアクセス信号とリードアクセス信号の処理関係を示すタイミングチャートである。

【図24】図24は、図22に示すデータ保持手段を使用した場合のライトアクセス信号とリードアクセス信号の別の処理関係を示すタイミングチャートである。

【図25】図25は、本発明に係る第4の具体例に於いて使用されるデータ保持手段の構成例を示すブロックダイアグラムである。

【図26】図26は、本発明に於ける第4の具体例に於いて使用されるメモリデータバッファ制御回路の構成の一例を示すブロックダイアグラムである。

【図27】図27は、本発明に於ける第4の具体例に於いて使用されるライト／リード判定手段の構成の一例を示すブロックダイアグラムである。

【図28】図28は、本発明に於ける第4の具体例に於いて使用されるアドレス一致判定手段の構成の一例を示すブロックダイアグラムである。

【図29】図29は、本発明に係る第4の具体例に於ける第1の具体例によるライトアクセス信号とリードアクセス信号の別の処理関係を示すタイミングチャートである。

【図30】図30は、本発明に係る第4の具体例に於ける第2の具体例によるライトアクセス信号とリードアクセス信号の別の処理関係を示すタイミングチャートである。

【図31】図31は、本発明に於ける第5の具体例に於いて使用されるメモリデータバッファ制御回路の構成の一例を示すブロックダイアグラムである。

【図32】図32は、本発明に於ける第5の具体例に於いて使用されるライト／リード判定手段の構成の一例を示すブロックダイアグラムである。

【図33】図33は、本発明に係る第5の具体例に於いて使用されるライト／リード判定手段に於ける各回路の動作波形を示すタイミングチャートである。

【図34】図34は、本発明に於ける第5の具体例に於いて使用されるアドレス一致判定手段の構成の一例を示

42

すブロックダイアグラムである。

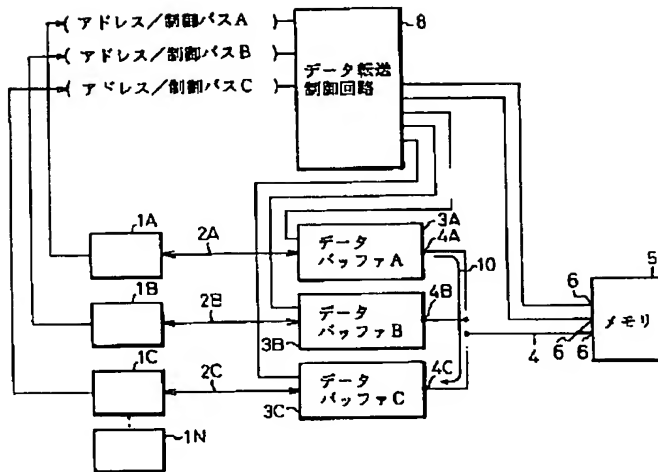
【図35】図35は、本発明に係る第5の具体例に於いて使用されるアドレス一致判定手段に於ける各回路の動作波形を示すタイミングチャートである。

【図36】図36は、本発明に係る第6の具体例に於けるライトアクセス信号とリードアクセス信号の処理関係を示すタイミングチャートである。

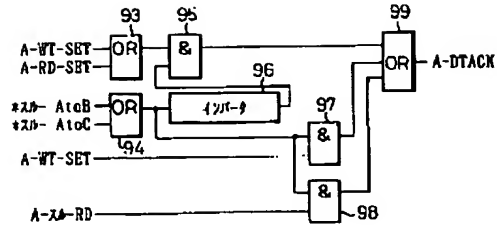
【符号の説明】

- 1…マスタ、ホスト (A, B, C・・・)
- 2…データバス
- 3…データバッファ手段
- 4…メモリデータバス
- 5…メモリ
- 6…メモリの入力端部
- 7…追加のデータバッファ手段
- 8…データ転送制御手段
- 9…格納素子、FIFOレジスタ
- 31…第1双方向データバッファ回路
- 32…第2双方向データバッファ回路
- 33…ライト用レジスタ
- 34…リード用レジスタ
- 80…デコーダリクエスト
- 81…スルー転送モードレジスタ
- 82…アービタ手段
- 83…スルー判定手段
- 84…データバッファコントローラ
- 85…DACK生成手段
- 86…アドレスセクタ
- 87…メモリアドレス生成手段
- 88…メモリ制御信号生成手段
- 89…アドレスバッファ
- 33-1、207、311…第1のライト用レジスタ回路
- 33-2、313…第2のライト用レジスタ回路
- 200…セクタ手段
- 201…マスタ応答制御回路
- 203、300…ライト／リード判定手段
- 204、210、211、303、315、317…AND回路
- 205、212、302、316…インバータ (INV)
- 206、310…アドレス一致判定手段
- 208、301、312…セクタ回路
- 209、314…イクオライ回路
- 400…リードモディファイドライト手段

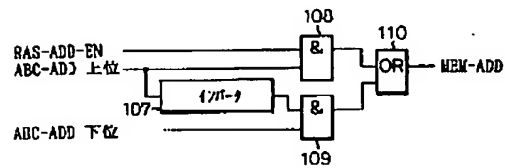
【図1】



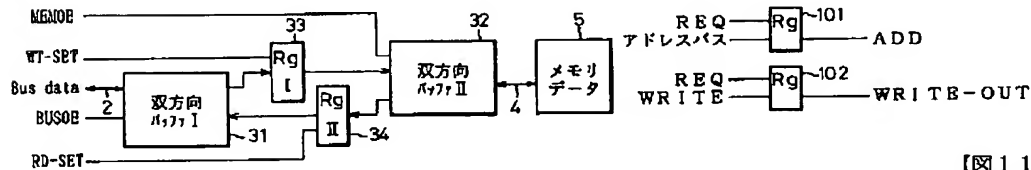
【図9】



【図12】

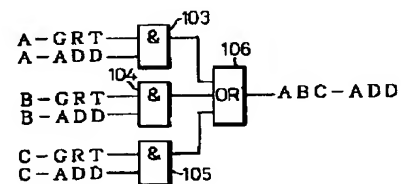


【図2】

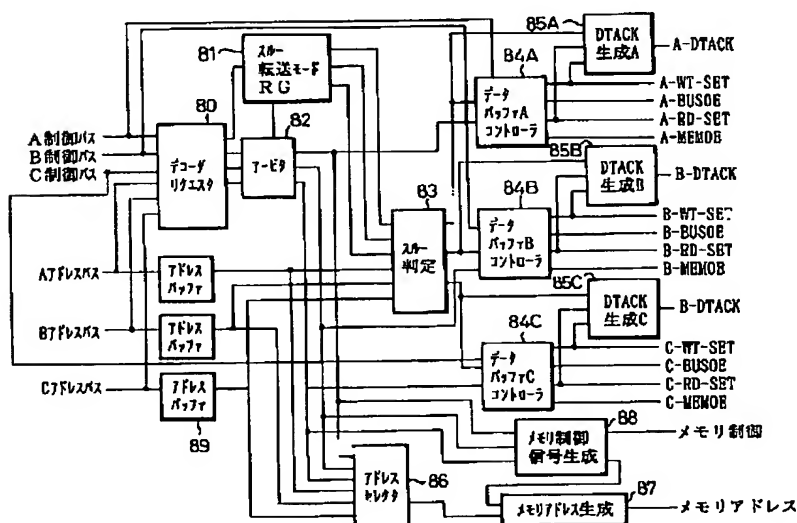


【図10】

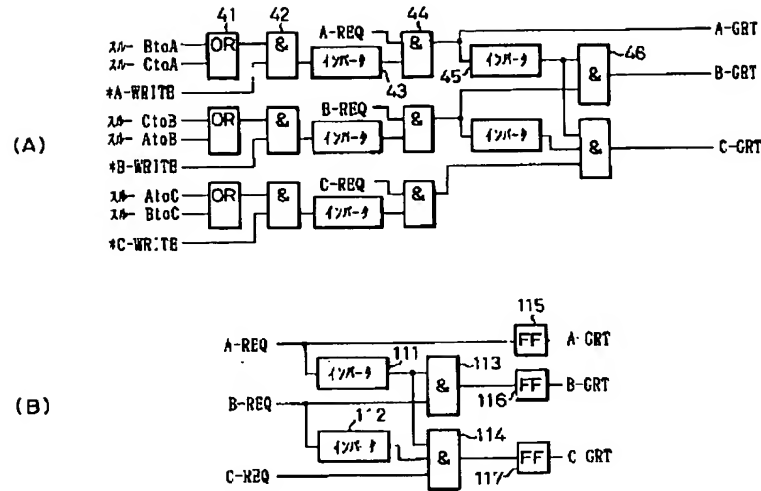
【図11】



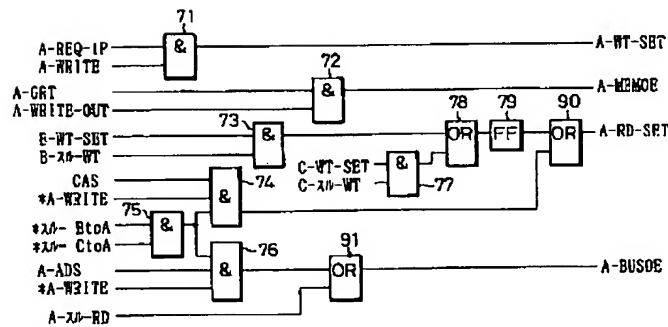
【図3】



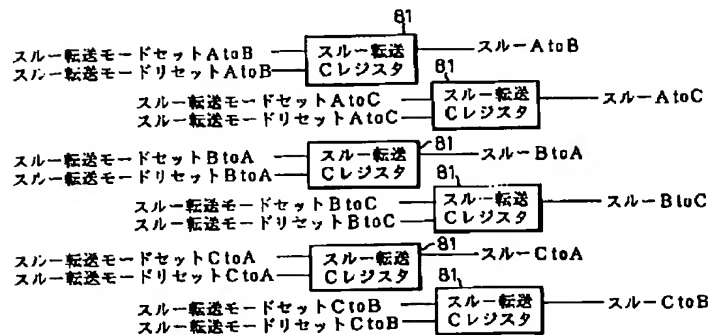
【図4】



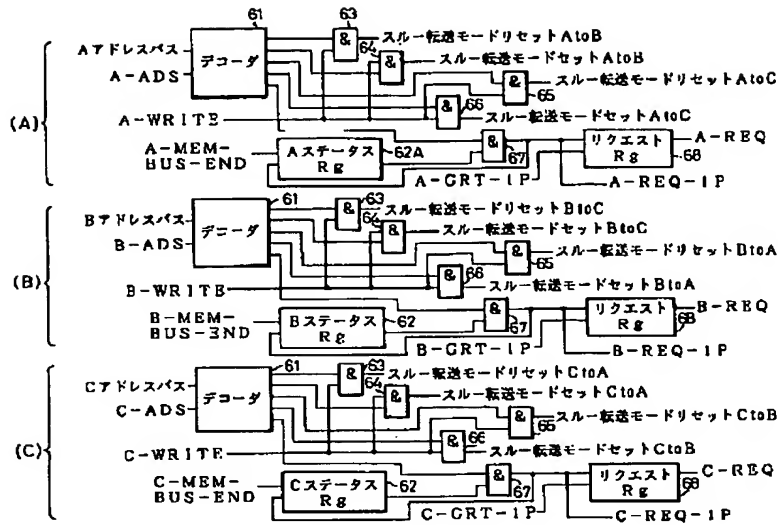
【図5】



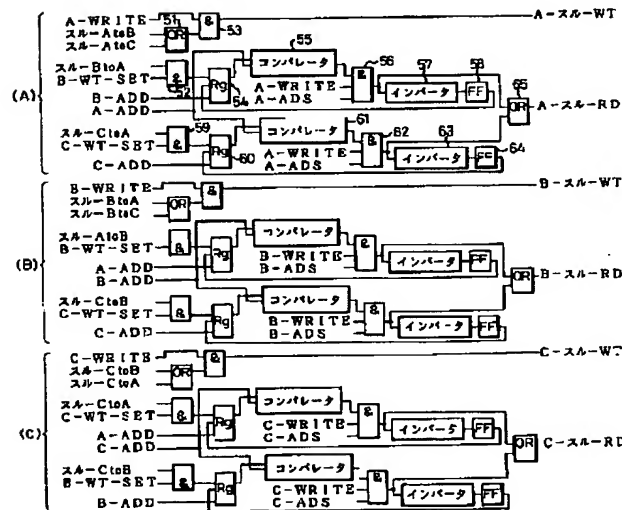
【図7】



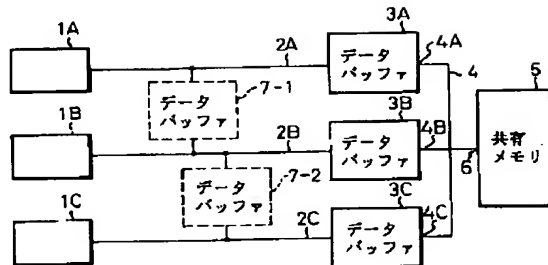
【図6】



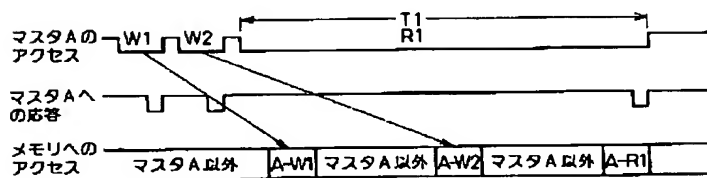
【図8】



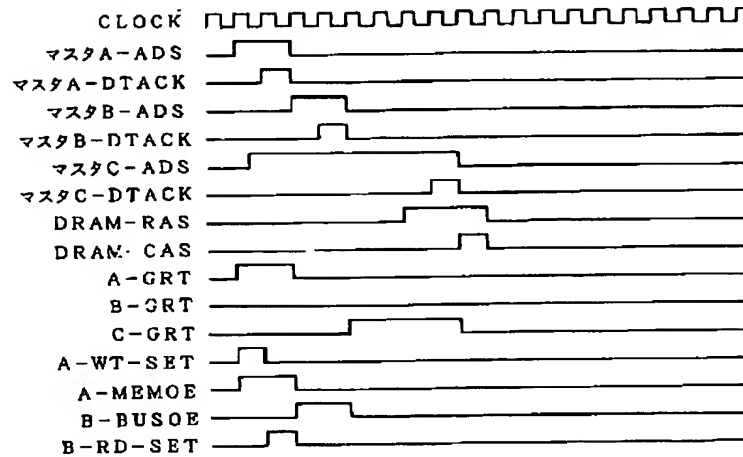
【図20】



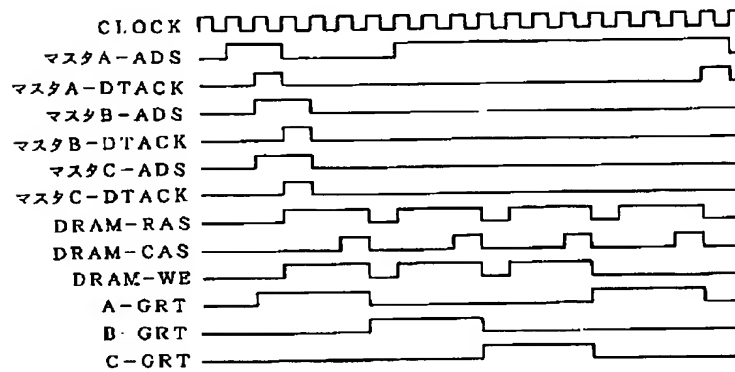
【図23】



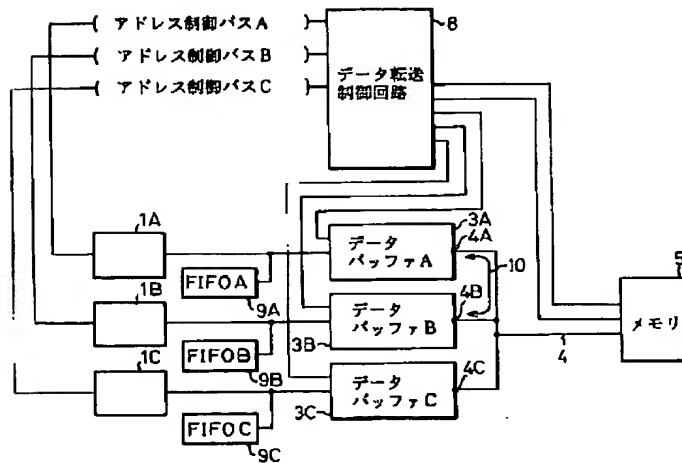
【図13】



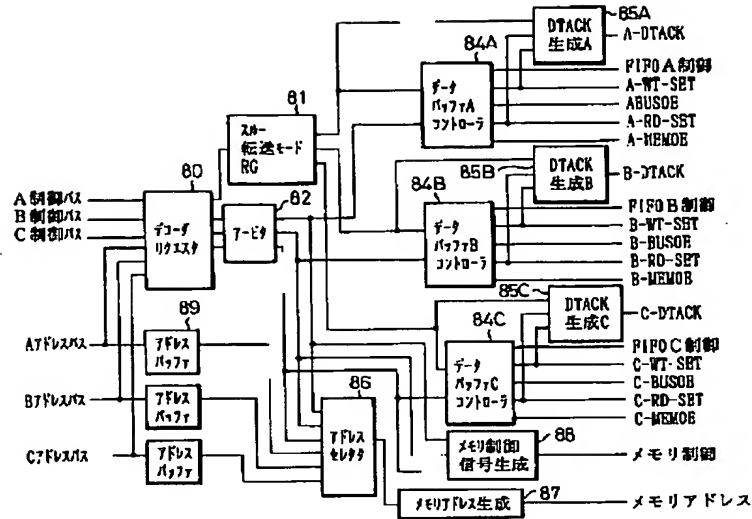
【図14】



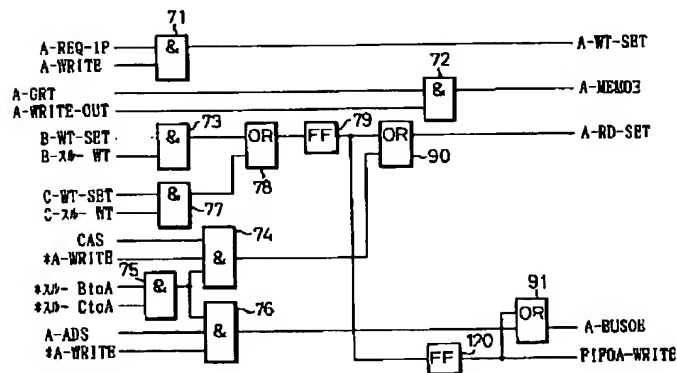
【図15】



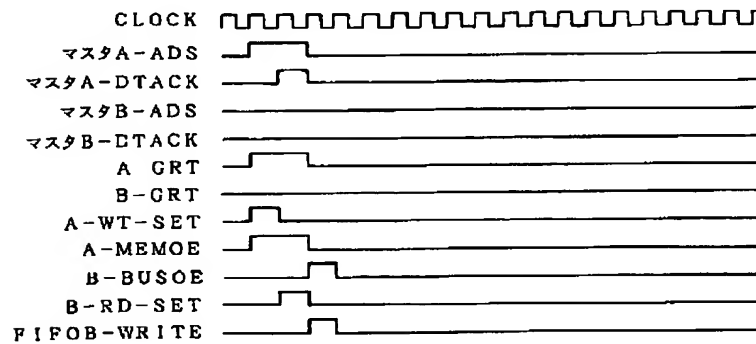
【図16】



【図17】



【図18】



The timing diagram illustrates the sequence of signals for the 68000 microprocessor. The signals are as follows:

- CLOCK**: A periodic square wave signal.
- マスタA-ADS**: Address Strobe for Master A, active low.
- マスタA-DTACK**: Data Transfer Acknowledge for Master A, active low.
- マスタB-ADS**: Address Strobe for Master B, active low.
- マスタB-DTACK**: Data Transfer Acknowledge for Master B, active low.
- マスタC-ADS**: Address Strobe for Master C, active low.
- マスタC-DTACK**: Data Transfer Acknowledge for Master C, active low.
- DRAM-RAS**: Row Address Strobe for DRAM, active low.
- DRAM-CAS**: Column Address Strobe for DRAM, active low.
- A-GRT**: Address Grant for Master A, active low.
- B-GRT**: Address Grant for Master B, active low.
- C-GRT**: Address Grant for Master C, active low.
- A-WT-SET**: Write Enable for Master A, active low.
- A-MEMOE**: Memory Output Enable for Master A, active low.
- B-BUSOE**: Bus Output Enable for Master B, active low.
- B-RD-SET**: Read Enable for Master B, active low.

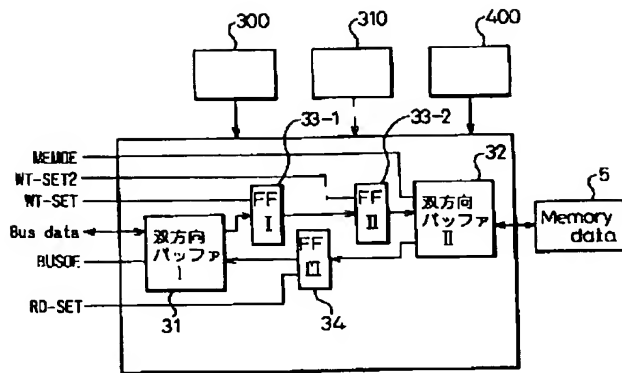
マスタAのアクセス

マスタAへの応答

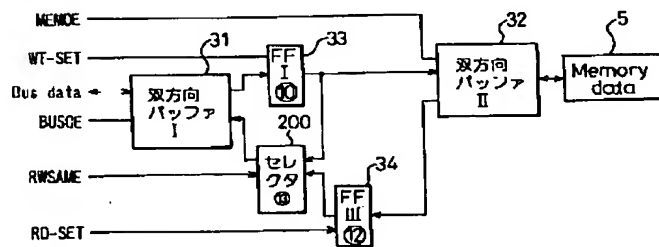
メモリへのアクセス

マスタA以外 A-W1 マスタA以外 A-R1 マスタA以外

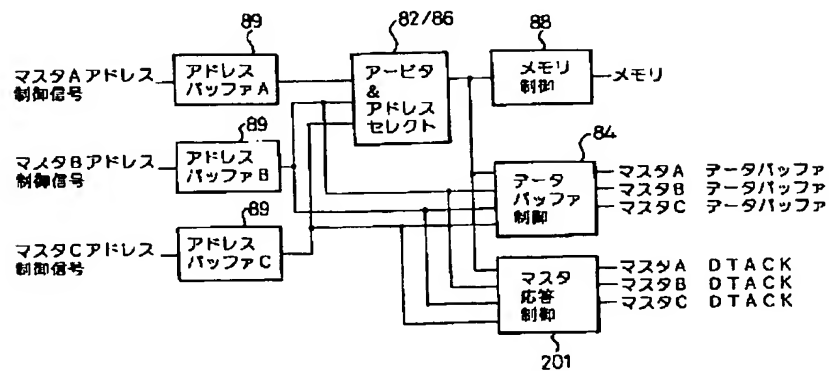
【図22】



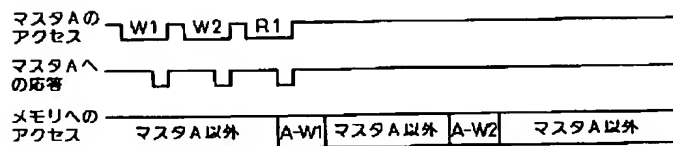
【図25】



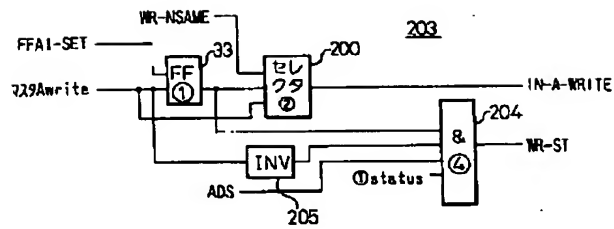
【図26】



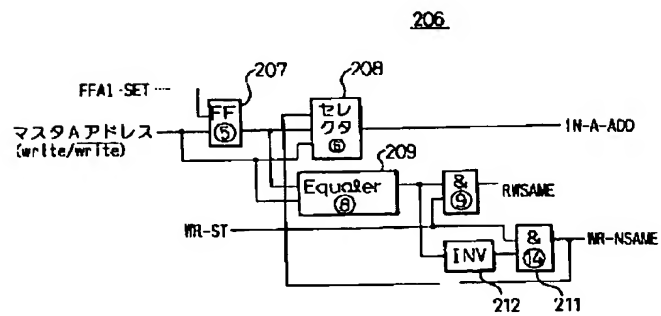
【図30】



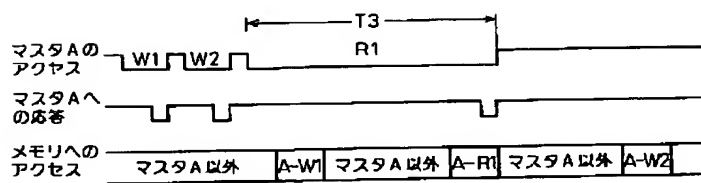
【図 27】



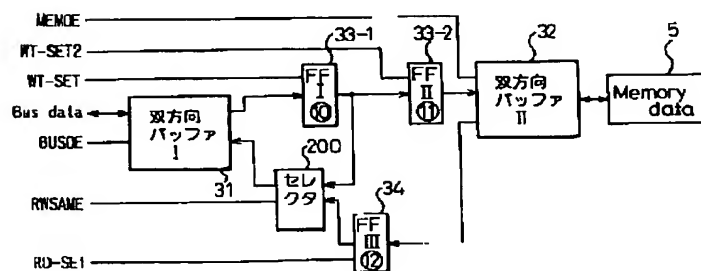
【図 28】



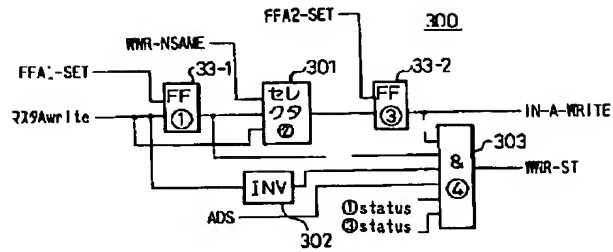
【図 29】



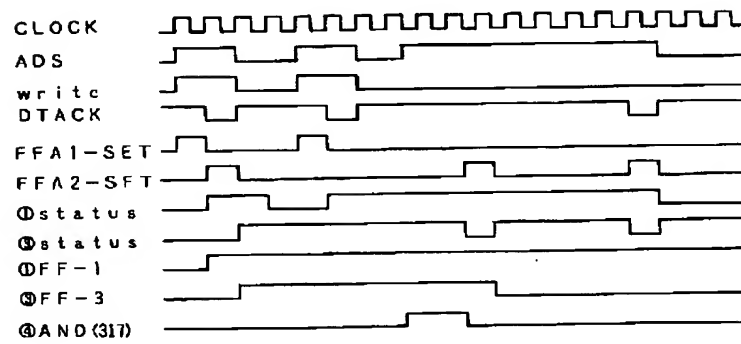
【図 31】



【図32】

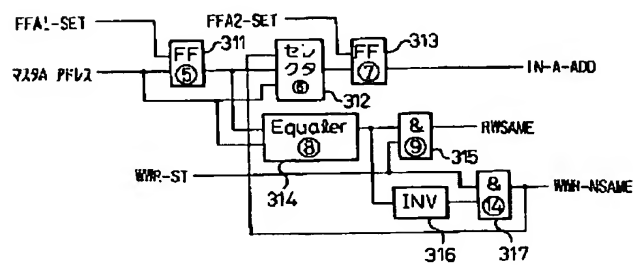


【図33】

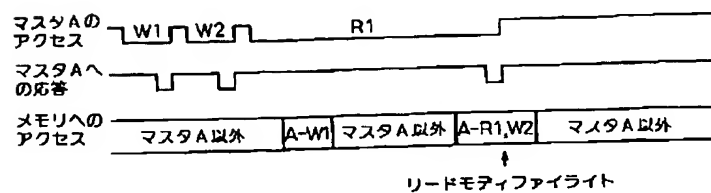


【図34】

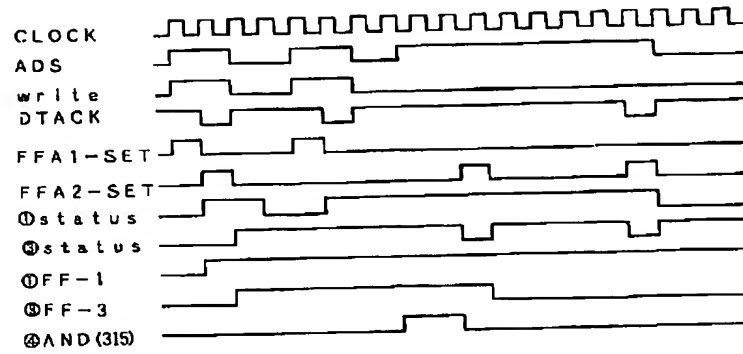
310



【図36】



【図35】



フロントページの続き

(72)発明者 清水 誠也
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内